




Filter configuration, method for filtering an analog filter input signal, and power factor controller

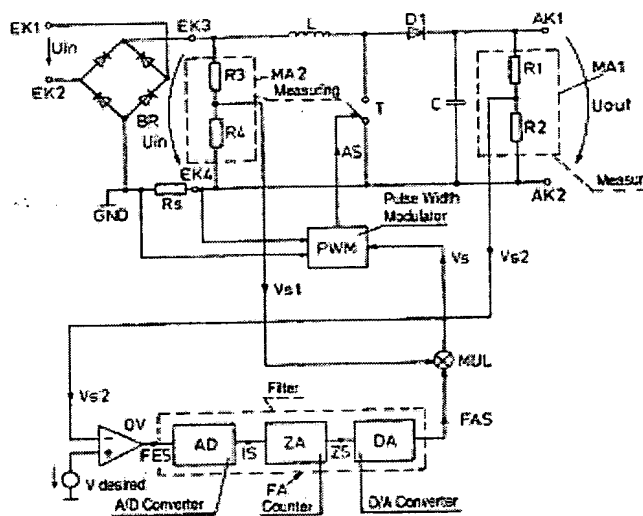
Patent number: DE10042587
Publication date: 2002-03-14
Inventor: FELDTKELLER MARTIN [DE]
Applicant: INFINEON TECHNOLOGIES AG [DE]
Classification:
 - international: G05F1/70; H02M1/12; H02M3/10
 - european: H02M1/00B5; H02M1/12
Application number: DE20001042587 20000830
Priority number(s): DE20001042587 20000830

Also published as:

 WO0219523 (A1)
 US6753798 (B2)
 US2003172103 (A)

Abstract of DE10042587

The invention relates to a filter system and to a method for filtering an analog signal. The inventive filter system comprises an analog to digital converter (AD) with an input to which an analog filter input signal (FES) is supplied, and with an output at which an impulse signal (IS) is available that comprises a sequence of impulses, the number of the impulses per time unit depending on the magnitude of the filter input signal (FES). The filter system is further provided with a counter system (ZA) to which the impulse signal (IS) is supplied and that contains at least one counter (Z; Z1, Z2). At least once during an interval of evaluation (Ta) a counter reading (ZS) of the at least one counter (Z; Z1, Z2) is supplied to a digital to analog converter (DA) to produce an analog filter output signal (FAS), the amplitude of the filter output signal (FAS) depending on the value of the counter reading.



Data supplied from the esp@cenet database - Worldwide

THIS PAGE BLANK (USPTO)

Docket # S4-02P11627

Applic. # PCT/DE2003/002580

Applicant: MEIER, BERND ET AL.

Lerner and Greenberg, P.A.
Post Office Box 2480

Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101

19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

2002P 11627
12 Offenlegungsschrift
10 DE 100 42 587 A 1

51 Int. Cl. 7:
G 05 F 1/70
H 02 M 1/12
H 02 M 3/10

21 Aktenzeichen: 100 42 587.9
22 Anmeldetag: 30. 8. 2000
43 Offenlegungstag: 14. 3. 2002

DE 100 42 587 A 1

71 Anmelder:
Infineon Technologies AG, 81669 München, DE
74 Vertreter:
Westphal, Mussnug & Partner, 80336 München

72 Erfinder:
Feldtkeller, Martin, 81543 München, DE

56 Entgegenhaltungen:

DE 43 39 304 A1
US 58 01 935

"A Soft-Switched, High Frequency Resonant Rectifier and Characteristics of the Controlled System", IEEE TRANSACTIONS ON POWER ELECTRONICS, Vol. 12, No. 1, JANUARY 1997;

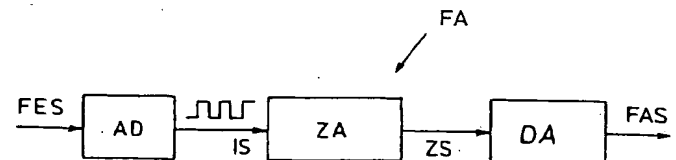
Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Filteranordnung und Verfahren zur Filterung eines Analogsignals

57 Die Erfindung betrifft eine Filteranordnung und ein Verfahren zur Filterung eines analogen Signals. Die Filteranordnung weist folgende Merkmale auf:

- eine Analog-Digital-Wandlereinheit (AD) mit einem Eingang, dem ein analoges Filtereingangssignals (FES) zugeführt ist, und einem Ausgang, an dem ein Impulssignal (IS) zur Verfügung steht, das eine Folge von Impulsen aufweist, wobei die Anzahl der Impulse pro Zeiteinheit vom Betrag des Filtereingangssignals (FES) abhängig ist;
- eine Zähleranordnung (ZA), der das Impulssignal (IS) zugeführt ist und die wenigstens einen Zähler (Z; Z1, Z2) aufweist;
- eine Digital-Analog-Wandlereinheit (DA), der jeweils einmal während eines Auswertintervalls (Ta) ein Zählerstand (ZS) des wenigstens einen Zählers (Z; Z1, Z2) zur Bildung eines analogen Filterausgangssignals (FAS) zugeführt ist, wobei die Amplitude des Filterausgangssignals (FAS) von dem Wert des Zählerstandes abhängig ist.



DE 100 42 587 A 1

Beschreibung

[0001] Die vorliegende Erfindung betrifft eine Filteranordnung. Die vorliegende Erfindung betrifft insbesondere eine Filteranordnung, die zur Filterung eines Ausgangsspannungssignals eines Power-Factor-Controllers geeignet ist.

[0002] Fig. 1 zeigt ein Ausführungsbeispiel eines Power-Factor-Controllers nach dem Stand der Technik. Aufgabe eines derartigen Power-Factor-Controllers ist es eine gleichförmige Ausgangsspannung U_{out} aus einer wechselförmigen Eingangsspannung U_{in} zu bilden, wobei die Ausgangsspannung U_{out} sowohl bei Änderungen einer an Ausgangsklemmen AK1, AK2 anschließbaren Last als auch für Wechselspannungen mit verschiedenen Spitzenwerten bzw. Effektivwerten wenigstens annäherungsweise konstant gehalten werden soll. Zur Umsetzung der Eingangsspannung U_{in} in die Ausgangsspannung U_{out} dient ein einem Brückengleichrichter nachgeschalteter Hochsetz-Schaltregler (Boost Converter), der eine Reihenschaltung einer Drossel L und eines Schalters T parallel zu dem Brückengleichrichter BR und eine Reihenschaltung einer Diode D und eines Kondensators C parallel zu dem Schalter aufweist, wobei die Ausgangsspannung U_{out} an dem Kondensator C abgreifbar ist. Bei geschlossenem Schalter T nimmt die Drossel Energie auf und gibt sie bei anschließend geöffnetem Schalter T über die Diode D an den Kondensator ab.

[0003] Der Schalter T, der insbesondere ein Leistungstransistor ist, wird getaktet durch einen Pulsweitenmodulator PWM angesteuert, wobei die Ausgangsspannung U_{out} , bzw. die Leistungsaufnahme des Power-Factor-Controllers, von der Frequenz, mit welcher der Schalter geschlossen wird, und von der Einschaltdauer, für welche der Schalter geschlossen bleibt, abhängig ist.

[0004] Der Power-Factor-Controller weist sowohl einen Stromregelkreis zur Regelung der Stromaufnahme aus dem Netz und einen Spannungsregelkreis zur Regelung der Ausgangsspannung U_{out} auf. Aufgabe des Stromregelkreises ist es, den Strom I_L durch die Spule derart zu regeln, dass der Mittelwert des Spulenstromes proportional zu der Eingangsspannung U_{in} , bzw. dem Betrag der Eingangsspannung U_{in} , ist. Zum Vergleich eines Momentanwertes der Eingangsspannung U_{in} und des Spulenstromes I_L ist dem Pulsweitenmodulator PWM von einer Messanordnung MA1 über einen Multiplizierer ein von der Eingangsspannung U_{in} abhängiges Eingangsspannungssignal und eine an einem Stromföhlwiderstand R_s anliegende Spannung U_i als Stromsignal zugeführt.

[0005] Aufgabe des Spannungsregelkreises ist es, die Ausgangsspannung U_{out} bei Schwankungen einer an die Ausgangsklemmen AK1, AK2 angeschlossenen Last oder bei einer veränderlichen Eingangsspannung U_{in} konstant zu halten. Dazu wird ein von der Ausgangsspannung abhängiges zweites Spannungssignal, das von einer zweiten Messanordnung MA2 gebildet wird, mit einem Referenzwert V_{ref} verglichen. Die Information bezüglich der Abweichung des zweiten Spannungssignals V_{s2} von dem Referenzwert wird dem Pulsweitenmodulator PWM durch Multiplikation des Differenzsignals mit dem ersten Spannungssignal V_{s1} zugeführt. Die Amplitude des dem Pulsweitenmodulator PWM zugeführten Spannungssignals V_s wird damit abhängig von der Ausgangsspannung U_{out} angehoben oder abgesenkt.

[0006] Das dem Multiplizierer MUL zur Multiplikation mit dem ersten Spannungssignal zugeführte Signal V_{s1} ändert sich vorzugsweise sehr langsam im Vergleich zur Periodendauer der Eingangsspannung. Um zu verhindern, dass Brummsignale, die dem Ausgangsspannungssignal V_{s2} überlagert sind, die Sinusform des Spannungssignals V_s

verzerren, und damit die Regelung der Ausgangsspannung stören, ist in der Spannungsregelschleife ein Tiefpassfilter vorgesehen. Das Tiefpassfilter ist durch zwei Kondensatoren Cf1, Cf2 und einen Widerstand gebildet, die mit einem Operationsverstärker OP1, der die Differenz des Referenzsignals V_{ref} und des zweiten Spannungssignals bildet, verschaltet sind.

[0007] Die Kondensatoren und der Widerstand sind als externe Bauelemente auszuführen, das heißt, sie können nicht in einer integrierten Schaltung, als welche der Pulsweitenmodulator PWM üblicherweise ausgeführt ist, integriert werden. Diese Notwendigkeit externer Bauelemente erhöht die Kosten der Ansteuerschaltung des Schalters.

[0008] Aus dem Aufsatz: "Easy Power Factor Corrector Using a DSP" von Yves De Mari et al., Power Conversion, June 1999 Proceedings, Seiten 585 bis 592, ist es bekannt, zur Filterung eines von der Ausgangsspannung abhängigen Signals in einem Power Factor Controller einen digitalen Signalprozessor (DSP) einzusetzen. Ein derartiges Vorgehen ist sinnvoll, wenn ein DSP vorhanden ist, in dem DSP noch Rechenkapazität frei ist und keine Netztrennung zwischen dem DSP und einem Leistungsteil des Power-Factor-Controllers bestehen muss. Ansonsten ist der Einsatz eines nur zur Filterung des Spannungssignals verwendeten DSP für die meisten Anwendungen zu kostenintensiv.

[0009] Ziel der vorliegenden Erfindung ist es, eine Filteranordnung zur Verfügung zu stellen, die kostengünstig und ohne externe Bauelemente realisiert werden kann und die insbesondere als Bestandteil einer integrierten Schaltung in einer Ansteuerschaltung eines Leistungstransistors untergebracht werden kann.

[0010] Diese Aufgabe wird durch eine Filteranordnung nach Anspruch 1 gelöst.

[0011] Danach weist die Filteranordnung eine Analog-Digital-Wandlereinheit mit einem Eingang, dem ein analoges Filtereingangssignal zugeführt ist, und mit einem Ausgang, an dem ein Impulssignal zur Verfügung steht, auf. Das Impulssignal weist dabei eine Folge von Impulsen auf, wobei die Analog-Digital-Wandlereinheit derart ausgebildet ist, dass die Anzahl der Impulse des Impulssignals pro Zeiteinheit vom Betrag des Filtereingangssignals abhängig ist. Der Analog-Digital-Wandlereinheit ist eine Zähleranordnung nachgeschaltet, der das Impulssignal zugeführt ist und die wenigstens einen Zähler aufweist, dessen Zählerstand sich abhängig von den Impulsen des Impulssignals ändert. Der Zähler ist derart ausgebildet, dass jeweils am Ende eines periodisch wiederkehrenden Abtastintervalls der Zählerstand des wenigstens einen Zählers erfasst und als Zählerausgangssignal zur Verfügung steht. Der Zähleranordnung ist eine Digital-Analog-Wandlereinheit nachgeschaltet, der das Zählerausgangssignal zugeführt ist, und die ein von dem Wert des Zählerstandes abhängiges analoges Filterausgangssignal zur Verfügung stellt.

[0012] Ein derartiges erfindungsgemäßes Filter kann als Filter in einem Rückkopplungszweig eines Power Factor Controllers eingesetzt werden, es kann aber auch zur Filterung beliebiger Ausgangssignale mit langen Zeitkonstanten von Sensoren verwendet werden.

[0013] Der wenigstens eine Zähler der Zähleranordnung ist vorzugsweise derart ausgebildet, dass er ausschließlich vorwärts oder ausschließlich rückwärts zählt. Ferner sind das Impulssignal und die Dauer des Auswertintervalls derart aufeinander abgestimmt, dass der Zähler innerhalb eines Auswertintervalls wenigstens einmal überläuft und erneut bei einem Anfangswert zu zählen beginnt.

[0014] Ein derartiges, nur einen Vorwärtszähler aufweisendes digitales Filter wirkt integrierend auf das Filtereingangssignal, wobei die Zählerstände am Ende der Auswert-

intervalle gleich bleiben, wenn sich ein Filtereingangssignal einstellt, bei dem das durch die AD-Wandlereinheit gebildete Impulssignal innerhalb des Auswertintervalls eine Anzahl von Impulsen abgibt, die dem maximalen Zählerstand des Zählers entspricht, so daß der Zähler einmal überläuft und am Ende des Auswertintervalls wieder den Zählerstand am Ende des vorherigen Auswertintervalls annimmt.

[0015] Ein derartiges Filter ist als integrierender Regler (I-Regler) im Spannungsregelkreis eines Power-Factor-Controllers einsetzbar, wobei die AD-Wandlereinheit, die Zähleranordnung und die DA-Wandlereinheit in einer integrierten Schaltung ohne externe Bauelemente realisiert werden können. Auf Gatterebene ist ein derartiges Filter mit weniger als 100 Gattern realisierbar, die im Ansteuer-Chip eines Leistungstransistors untergebracht werden können.

[0016] Die AD-Wandlereinheit kann als herkömmlicher spannungsgesteuerter Oszillator, wie er beispielsweise in Tietze, Schenk: "Halbleiterschaltungstechnik", 9. Auflage, Springer, 1991, Seite 488ff. beschrieben ist, ausgebildet sein. Des weiteren kann als AD-Wandlereinheit auch ein sogenannter Sigma-Delta-Wandler verwendet werden, der beispielsweise in dem Aufsatz "Design of a CMOS Second-Order Sigma-Delta Modulator" von Bernhard E. Boser et al., 1988 IEEE Solid State Conference, Digest of Technical Papers, Seiten 258 bis 259 beschrieben ist.

[0017] Als DA-Wandlereinheit kann ein herkömmlicher Digital-Analog-Wandler eingesetzt werden, wobei für die Verwendung in einem Power Factor Controller vorzugsweise ein multiplizierender DA-Wandler eingesetzt wird, dem neben dem Zählerausgangssignal ein weiteres Signal, beispielsweise das Eingangsspannungssignal des Power-Factor-Controllers zugeführt ist. Am Ausgang des multiplizierenden DA Wandlers liegt ein Signal an, welches dem Produkt aus dem weiteren Signal mit einem von dem Zählerausgangssignal abhängigen Analogsignal entspricht.

[0018] Das Filterausgangssignal kann bei dem erfindungsgemäßen Filter einen proportionalen und einen integrierenden Anteil besitzen, wenn die Zähleranordnung einen ersten Zähler und einen zweiten Zähler aufweist, wobei der Zählerstand des zweiten Zählers zu Beginn eines Auswertintervalls auf den Wert des Zählerstandes des ersten Zählers am Ende des vorherigen Auswertintervalls gesetzt wird. Der Zählerstand des zweiten Zählers am Ende des Auswertintervalls wird der DA-Wandlereinheit zur Bildung des Filterausgangssignals zugeführt. Der Zählerstand des ersten Zählers am Ende des Auswertintervalls entspricht dem integrierenden Anteil des Filterausgangssignals. Die Differenz aus dem Zählerstand des zweiten Zählers am Ende des Auswertintervalls und aus dem Zählerstand zu Beginn des Auswertintervalls entspricht dem proportionalen Anteil des Filterausgangssignals.

[0019] Ein Filterausgangssignal mit einem integrierenden und einem proportionalen Anteil lässt sich auch mittels eines Zählers erzeugen, der zu Beginn eines Auswertintervalls auf einen abgespeicherten Zählerstand gesetzt wird, wobei der abgespeicherte Wert einem Zählerstand des Zählers nach einem ersten Zeitintervall innerhalb des Auswertintervalls entspricht. Der Zählerstand am Ende eines zweiten Zeitintervalls im Anschluss an das erste Zeitintervall wird zur Bildung des Filterausgangssignals durch den DA-Wandler herangezogen.

[0020] Dieser Zähler wird zu Beginn des Auswertintervalls vorzugsweise während eines vorgegebenen Zeitintervalls nach Maßgabe eines Taktsignals ausgehend von dem im Register gespeicherten Wert hochgezählt, bis er anschließend während des ersten und zweiten Zeitintervalls nach Maßgabe des Impulssignals weiter hochgezählt wird.

[0021] Der in dem Register gespeicherte, am Ende des ersten Zeitintervalls ermittelte Zählerstand bildet den integrierenden Anteil des Filterausgangssignals. Der integrierende und der proportionale Anteil des Filterausgangssignals werden bei dieser Ausführungsform der Erfindung nacheinander gebildet.

[0022] Die Analog-Digital-Wandlung des Filtereingangssignals kommt bei allen Ausführungsformen des erfindungsgemäßen Filters einer Abtastung des Filtereingangssignals gleich und bewirkt ein Ausfiltern von Brummanteilen in dem Filtereingangssignal.

[0023] Gegenstand der Erfindung ist des weiteren ein Verfahren zur Filterung eines Analogsignals. Das Verfahren sieht vor, ein Filtereingangssignals in wenigstens ein erstes Impulssignal, das eine Folge von Impulsen aufweist, umzuwandeln, wobei die Anzahl der Impulse pro Zeiteinheit von der Amplitude des Regelsignals abhängig ist. Weiterhin wird bei dem Verfahren der Zählerstand wenigstens eines Zählers nach Maßgabe von Impulsen des Impulssignals geändert, wobei der wenigstens eine Zähler vorzugsweise ausschließlich vorwärts oder rückwärts zählt. Der Zählerstand des wenigstens einen Zählers wird in vorgebbaren Auswertintervallen ermittelt, wobei anschließend ein von dem ermittelten Zählerstand abhängiges analoges Filterausgangssignals gebildet wird, dessen Amplitude von dem Zählerstand abhängig ist.

[0024] Weitere Ausführungsformen der erfindungsgemäßen Filteranordnung und des erfindungsgemäßen Verfahrens sind Gegenstand der Unteransprüche.

[0025] Die vorliegende Erfindung wird nachfolgend in Ausführungsbeispielen anhand von Figuren näher erläutert. Es zeigt:

[0026] Fig. 1 Power Factor Controller nach dem Stand der Technik;

[0027] Fig. 2 Blockschaltbild einer erfindungsgemäßen Filteranordnung mit einer AD-Wandlereinheit, einer Zähleranordnung und einer DA-Wandlereinheit,

[0028] Fig. 3 Ausführungsform einer AD-Wandlereinheit;

[0029] Fig. 4 Power Factor Controller mit einer erfindungsgemäßen Filteranordnung;

[0030] Fig. 5 Blockschaltbild einer Zähleranordnung gemäß einer ersten Ausführungsform,

[0031] Fig. 6 Beispiel des zeitlichen Verlaufs eines Filtereingangssignals,

[0032] Fig. 7 Blockschaltbild einer Zähleranordnung gemäß einer zweiten Ausführungsform,

[0033] Fig. 8 Schematische Darstellung der Funktionsweise der Zähleranordnung nach Fig. 6,

[0034] Fig. 9 Ausführungsform einer multiplizierenden DA-Wandlereinheit;

[0035] Fig. 10 Übertragungsfunktion der DA-Wandlereinheit nach Fig. 8;

[0036] Fig. 11 Ausführungsform einer Messanordnung zur Bereitstellung eines von der Eingangsspannung abhängigen Signals in einem Power Factor Controller.

[0037] In den Figuren bezeichnen, sofern nicht anders angegeben gleiche Bezugszeichen gleiche Teile mit gleicher Bedeutung.

[0038] Fig. 2 zeigt ein erstes Ausführungsbeispiel einer erfindungsgemäßen Filteranordnung, die eine Analog-Digital-Wandlereinheit (AD-Wandlereinheit) AD aufweist, der ein Filtereingangssignal FES zugeführt ist. Der AD-Wandlereinheit AD ist eine Zähleranordnung ZA nachgeschaltet, welcher ein am Ausgang der AD-Wandlereinheit AD anliegendes Impulssignal IS zugeführt ist. Ein am Ausgang der Zähleranordnung ZA anliegendes Zählensignal ZS ist einer Digital-Analog-Wandlereinheit (DA-Wandlereinheit) DA zugeführt, an deren Ausgang ein Filterausgangssignal FAS

zur Verfügung steht.

[0039] Die AD-Wandlereinheit ist derart ausgebildet, daß sie ein analoges Filtereingangssignal FES in ein Impulssignal IS umwandelt, wobei die Anzahl der Impulse des Impulssignals IS pro Zeiteinheit vom Betrag des Filtereingangssignals FES abhängig ist. Eine derartige AD-Wandlereinheit AD ist beispielsweise ein herkömmlicher spannungsgesteuerter Oszillator VCO, der ein Ausgangssignal bereitstellt, dessen Frequenz vom Momentanwert eines Eingangssignals abhängig ist. Als AD-Wandlereinheit ist weiterhin ein Sigma-Delta-Wandler einsetzbar, der ebenfalls ein getaktetes Ausgangssignal zur Verfügung stellt, wobei eine Anzahl positiver Impulse dieses Ausgangssignal pro Zeiteinheit ebenfalls vom Betrag eines Eingangssignals abhängig ist.

[0040] Fig. 3 zeigt ein weiteres Ausführungsbeispiel einer für die erfindungsgemäße Filteranordnung einsetzbaren AD-Wandlereinheit. Die Schaltungsanordnung weist einen ersten Komparator K1 und einen zweiten Komparator K2 auf, wobei einem Plus-Eingang des ersten Komparators K1 das Filtereingangssignal FES, dem Minus-Eingang des ersten Komparators K1 und dem Plus-Eingang des zweiten Komparators K2 ein Sägezahnsignal SZS zugeführt ist. Der Minus-Eingang des zweiten Komparators K2 ist an Bezugspotential GND angeschlossen. Das periodische Sägezahnsignal SZS steht am Ausgang einer Signalgeneratoranordnung SG zur Verfügung. Die Ausgänge des ersten und zweiten Komparators K1, K2 sind an Eingänge eines UND-Glieds angeschlossen. Am Ausgang des UND-Glieds G1 liegt solange ein High-Pegel an, solange sich die ansteigende Flanke des Sägezahnsignals SZS in einem Intervall zwischen dem Wert des Bezugspotentials GND und dem Wert des Filtereingangssignals FES befindet. Übersteigt das Sägezahnsignal SZS den Wert des Filtereingangssignals FES wechselt das Ausgangssignal auf einen Low-Pegel. Ein Ausgangssignal des UND-Glieds G1 ist einem zweiten UND-Glied G2 zugefügt, an dessen anderem Eingang ein Oszillatorsignal OSS eines Oszillators OSC anliegt. Das Oszillatorsignal OSS wird dabei als Impulssignal IS an den Ausgang des UND-Glieds G2, bzw. an den Ausgang der AD-Wandlereinheit, weitergegeben, solange sich das Ausgangssignal des ersten Gatters G1 auf einem High-Pegel befindet. Sinkt das Filtereingangssignal FES, verringert sich die Zeitdauer, bis das ansteigende Sägezahnsignal SZS einmal pro Periode den Wert des Filtereingangssignals FES erreicht. Die Anzahl der pro Zeiteinheit abgegebenen Impulse verringert sich dadurch mit sinkender Amplitude des Filtereingangssignals FES. Umgekehrt steigt die Zeitdauer, bis das Sägezahnsignal SZS das Filtereingangssignal FES erreicht, wenn das Filtereingangssignal FES ansteigt. Dadurch können mehr Impulse des Oszillatorsignals OSS pro Zeiteinheit am Ausgang der AD-Wandlereinheit abgegeben werden, bis das Ausgangssignal des ersten UND-Glieds G1 auf einen Low-Pegel wechselt.

[0041] Die Zähleranordnung ZA weist wenigstens einen Zähler auf, der die am Eingang anliegenden Impulse des Impulssignals IS zählt. Der Zählerstand dieses Zählers wird in regelmäßigen Zeitabständen erfasst und als digitales Zähler-signal ZS an die DA-Wandlereinheit DA weitergegeben. Die Auswertintervalle, an deren Ende der Zählerstand des Zählers jeweils erfasst wird, können durch ein externes Synchronisierungssignal oder durch einen weiteren Zähler in der Zähleranordnung ZA vorgegeben werden.

[0042] Der Zähler der Zähleranordnung ZA ist vorzugsweise als ausschließlich vorwärts oder ausschließlich rückwärts zählender Zähler ausgebildet. Ein derartiger Zähler kann als herkömmlicher Asynchrone Zähler ausgebildet sein. Asynchrone Zähler besitzen das Vorteil, daß sie im Vergleich

zu Synchronzählern mit einer geringeren Anzahl von Logikgattern realisiert werden können.

[0043] Der Amplitudenbereich des Filtereingangssignals FES, bzw. die pro Auswertintervall abgegebenen Impulse des Impulssignals IS, und der maximale Zählerstand des wenigstens einen Zählers der Zähleranordnung ZA sind vorzugsweise derart aufeinander abgestimmt, daß der Zähler innerhalb eines Auswertintervalls wenigstens einmal überläuft und erneut bei einem Ausgangswert zu zählen beginnt. Entspricht die Anzahl der pro Auswertintervall empfangenen Impulse genau der Anzahl der verschiedenen Zählerstände, welche der Zähler annehmen kann, so ändert sich der Zählerstand am Ende aufeinanderfolgender Auswertintervalle nicht. Steigt das Filtereingangssignal FES und damit die Anzahl der pro Auswertintervall empfangenen Impulse, so steigt der Zählerstand am Ende der Auswertintervalle über der Zeit an. Sinkt das Filtereingangssignal FES und werden weniger Impulse pro Auswertintervall empfangen, so sinkt der Zählerstand am Ende der Auswertintervalle über der Zeit ab. Vorzugsweise ist in der Zähleranordnung ZA eine Begrenzungseinrichtung für den Zählerstand vorgesehen, welche verhindert, daß der Zählerstand am Ende des Auswertintervalls einen vorgegebenen Maximalwert übersteigt oder einen vorgegebenen Minimalwert unterschreitet.

[0044] Eine derartige Zähleranordnung ZA mit nur einem Zähler wirkt integrierend auf das Filtereingangssignal FES.

[0045] Die DA-Wandlereinheit wandelt den ihr am Ende des Auswertintervalls zugeführten Zählerstand ZS in ein analoges Filterausgangssignal FAS um. Die DA-Wandlereinheit kann dabei ein herkömmlicher Digital-Analog-Wandler sein, der einen digitalen Eingangswert ZS in ein analoges Ausgangssignal FAS umwandelt.

[0046] Fig. 4 zeigt als Ausführungsbeispiel zur Verwendung der erfindungsgemäßen Filteranordnung einen Power Factor Controller, bei welchem die erfindungsgemäße Filteranordnung zur Filterung eines rückgekoppelten Ausgangsspannungssignals V_{s2} vorgesehen ist, das von einer Ausgangsspannung U_{out} abhängig ist. Die Funktionsweise der erfindungsgemäßen Filteranordnung wird nachfolgend im Zusammenhang mit der Funktionsweise des Power-Factor-Controllers erläutert. Die Anwendung der erfindungsgemäßen Filteranordnung ist jedoch nicht auf die Verwendung in einem Power-Factor-Controller beschränkt. Vielmehr ist die Filteranordnung überall dort einsetzbar, wo analoge Signale mit vergleichsweise langen Zeitkonstanten zur Beseitigung von Störsignalen tiefpassgefiltert werden sollen. Ein weiteres Anwendungsgebiet ist beispielsweise die Filterung analoger Ausgangssignale von Sensoren.

[0047] Aufgabe eines Power-Factor-Controllers gemäß Fig. 4 ist es, aus einer wechselförmigen Eingangsspannung U_{in} , insbesondere einer sinusförmigen Wechselspannung mit einer Frequenz von 50 Hz oder 60 Hz und Effektivwerten zwischen 90 V und 270 V eine wenigstens annäherungsweise konstante Ausgangsspannung U_{out} an Ausgangsklemmen AK1, AK2, an denen eine Last anschließbar ist, zur Verfügung zu stellen. Die sinusförmige Wechselspannung U_{in} wird dazu mittels eines Brückengleichrichters BR zunächst in eine sinusbetragförmige Spannung $U_{in'}$ umgewandelt, die an Klemmen EK3, EK4 des Power-Factor-Controllers zur Verfügung steht. Zwischen den Klemmen EK3, EK4 und den Ausgangsklemmen AK1, AK2 ist ein sogenannter Boost-Konverter verschaltet, der eine an die Klemmen EK3, EK4 angeschlossene Reihenschaltung einer Drossel L und eines Schalters T und eine parallel zu dem Schalter T geschaltete Reihenschaltung einer Diode D1 und einer Kapazität C aufweist, wobei die Ausgangsspannung U_{out} über der Kapazität C abgreifbar ist und wobei Aus-

gangsklemmen der Kapazität C die Ausgangsklemmen AK1, AK2 des Power-Factor-Controllers bilden.

[0048] Der Schalter T wird mittels einer Schaltungsanordnung PWM, die ein pulswertenmoduliertes Ansteuersignal AS zur Verfügung stellt, angesteuert. Der Schalter T ist insbesondere als Leistungstransistor ausgebildet. Bei geschlossenem Schalter T nimmt die Speicherdrossel L Energie auf, die sie bei anschließend geöffnetem Schalter T über die Diode D1 an den Kondensator C bzw. die Ausgangsklemmen AK1, AK2 abgibt. Die Ausgangsspannung Uout kann über die Einschaltfrequenz und/oder die Einschaltdauer des Schalters T durch den Pulsweitenmodulator PWM geregelt werden.

[0049] Um eingangsspannungsbedingten oder lastbedingten Änderungen der Ausgangsspannung Uout durch eine geeignete Ansteuerung des Schalters T entgegenwirken zu können, ist eine Messanordnung MA1 zur Erfassung der Ausgangsspannung Uout vorgesehen. Die Messanordnung MA1 weist in dem Ausführungsbeispiel eine Reihenschaltung zweier Widerstände R1, R2 zwischen den Ausgangsklemmen AK1, AK2 auf, wobei an einem der beiden Widerständen R1, R2 gemeinsamen Knoten ein von der Ausgangsspannung Uout abhängiges Ausgangsspannungssignal Vs2 abgreifbar ist. Das Ausgangsspannungssignal Vs2 ist einem ersten Eingang eines Operationsverstärkers OV zugeführt, an dessen anderem Eingang ein Referenzsignal Vsoll anliegt. Am Ausgang des Operationsverstärkers OV liegt ein von der Differenz des Referenzsignals Vsoll und des Ausgangsspannungssignals Vs2 abhängiges Signal FES an.

[0050] Der Wert der Ausgangsspannung Uout, bzw. eines davon abhängigen Signals, wird in dem Pulsweitenmodulator PWM zur Ansteuerung des Schalters T bzw. zur Nachregelung der Ausgangsspannung Uout benötigt. Ungünstigerweise ist die Ausgangsspannung Uout bei Power Factor Controllern von einem Brummsignal überlagert, dessen Frequenz das Doppelte der Frequenz der Eingangsspannung Uin beträgt. Um zu verhindern, daß sich dieses Brummsignal negativ auf die Regelung der Ausgangsspannung Uout über den Pulsweitenmodulator PWM auswirkt, bedarf das rückgekoppelte Ausgangsspannungssignal Vs2, bzw. das am Ausgang des Operationsverstärkers OV anliegende Signal, einer Filterung zur Eliminierung der Brummanteile.

[0051] Zur Filterung des rückgekoppelten Signals Vs2 ist dem Operationsverstärker OV eine erfindungsgemäße Filteranordnung mit einer AD-Wandlereinheit AD, einer Zähleranordnung ZA und einer DA-Wandlereinheit DA nachgeschaltet. Als Filtereingangssignal FES ist der AD-Wandlereinheit das von der Differenz aus dem Referenzsignal Vsoll und dem Ausgangsspannungssignal Vs2 abhängige am Ausgang des Operationsverstärkers OV anliegende Signal zugeführt.

[0052] Der dargestellte Power Factor Controller weist neben einem Spannungsregelkreis zur Regelung der Ausgangsspannung Uout einen Stromregelkreis auf, dessen Aufgabe es ist, einen Drosselstrom I_L einzustellen, dessen Mittelwert proportional zu der Spannung Uin ist. Zur Erfassung des Momentanwertes des Drosselstromes I_L ist ein Stromfühlwiderstand Rs in Reihe zu der Drossel L vorgesehen, wobei eine über dem Stromfühlwiderstand Rs abgegriffene Spannung dem Pulsweitenmodulator PWM zugeführt ist. Der zeitliche Verlauf des Drosselstromes I_L wird in dem Pulsweitenmodulator PWM mit einem von der Eingangsspannung Uin abhängigen Spannungssignal Vs verglichen, welches sich aus der Multiplikation eines durch die Messanordnung gebildeten Eingangsspannungssignal Vs1 mit dem Filterausgangssignal FAS ergibt.

[0053] Vernachlässigt man die der Ausgangsspannung Uout überlagerten Störsignale, welche durch die Filteran-

ordnung herausgefiltert werden, so ändert sich die Ausgangsspannung Uout langsam im Verhältnis zur Frequenz der Eingangsspannung Uin, bzw. des Eingangsspannungssignals Vs1. Das Filterausgangssignal FAS kann daher wenigstens über einige Perioden des Eingangsspannungssignals Vs1 als konstant angenommen werden. Das dem Pulsweitenmodulator PWM zugeführte Spannungssignal Vs enthält zur Regelung der Stromaufnahme die Information über den zeitlichen Verlauf der Eingangsspannung Uin. Änderungen des Effektivwertes des Spannungssignals Vs können aus Änderungen der Ausgangsspannung Uout bzw. des Filterausgangssignals FAS resultieren und dadurch zur Regelung der Ausgangsspannung Uout herangezogen werden können.

[0054] Ein Pulsweitenmodulator PWM zur Ansteuerung eines Schalters in einem Power Factor Controller derart, daß eine sinusförmige Stromaufnahme vorliegt und die Ausgangsspannung Uout für weite Bereich der Eingangsspannung Uin und für verschiedene Lasten wenigstens annäherungsweise konstant ist, ist Stand der Technik, auf eine detaillierte Beschreibung des Aufbaus wird daher verzichtet. Ein derartiger Pulsweitenmodulator PWM ist beispielsweise der Baustein MC 34261 der Firma Motorola.

[0055] Die Zähleranordnung ZA der erfindungsgemäßen Filteranordnung FA kann für die Anwendung in dem Power Factor Controller derart ausgebildet sein, daß sie lediglich einen Zähler, der vorzugsweise nur vorwärts oder nur rückwärts zählt, aufweist, wobei der Zählerstand des Zählers am Ende regelmäßig wiederkehrender Auswertintervalle ausgewertet und der DA-Wandlereinheit zugeführt wird. Eine Filteranordnung mit einer derartigen Zähleranordnung wirkt als I-Regler in dem Spannungsregelkreis des Power-Factor-Controllers. Das Filterausgangssignal FAS entspricht dabei dem Integral des Filtereingangssignals FES. Das Ausgangsspannungssignal Vs2 und das Referenzsignal Vsoll, bzw. das aus der Differenz dieser beiden Signale mittels des Operationsverstärkers OV gebildete Filtereingangssignal FES, die AD-Wandlereinheit und der Zähler der Zähleranordnung ZA sind vorzugsweise derart aufeinander abgestimmt, daß dann, wenn das Ausgangsspannungssignal Vs2 den Wert des Referenzsignals Vsoll annimmt, pro Auswertintervall genau so viele Impulse an dem Zähler anliegen, daß der Zähler einmal überläuft und am Ende des Auswertintervalls denselben Zählerstand wie am Ende des vorherigen Auswertintervalls aufweist. Sinkt das Ausgangsspannungssignal Vs2, werden pro Auswertintervall mehr Impulse erzeugt und der Zählerstand am Ende der Auswertintervalle steigt über der Zeit an. Steigt das Ausgangsspannungssignal Vs2 an, so verringert sich die Anzahl der pro Auswertintervall an die Zähleranordnung ZA abgegebene Anzahl von Impulsen und der Zählerstand am Ende der Auswertintervalle sinkt über der Zeit ab.

[0056] Fig. 5 zeigt ein Blockschaltbild einer Schaltungsanordnung, durch welche eine AD-Wandlereinheit AD mit nachgeschalteter Zähleranordnung ZA realisiert ist. Aus Gründen der Übersichtlichkeit ist auch der Operationsverstärker OV dargestellt, dessen einem Eingang das Ausgangsspannungssignal Vs2 und dessen anderem Eingang das Referenzsignal Vsoll zugeführt ist.

[0057] Das am Ausgang des Operationsverstärkers OV anliegende Filtereingangssignal FES ist einem ersten spannungsgesteuerten Oszillator VCO1 und einem zweiten spannungsgesteuerten Oszillator VCO2 zugeführt. Ein am Ausgang des ersten spannungsgesteuerten Oszillators VCO1 anliegendes erstes Impulssignal IS1 ist einem ersten Zähler Z1, ein an dem Ausgang des zweiten spannungsgesteuerten Oszillators VCO2 anliegendes zweites Impulssignal IS2 ist einem zweiten Zähler Z2 zugeführt. Das Referenzsignal Vsoll ist derart auf den Schwankungsbereich des Ausgangs-

spannungssignals V_{s2} abgestimmt, daß das Filtereingangssignal FES nicht Null wird, sondern Werte annimmt, bei welchen die spannungsgesteuerten Oszillatoren VCO1, VCO2 getaktete Signale IS1, IS2 abgeben. Die Frequenz der getakteten Signale IS1, IS2 ist vom Betrag des Filtereingangssignals FES abhängig. Der erste und zweite Zähler Z1, Z2 sind vorzugsweise Asynchronzähler, welche ausschließlich vorwärts zählen. Derartige Zähler Z1, Z2 sind auf einfache Weise und im Vergleich zu Synchronzählern mit einer geringen Anzahl von Logikgattern realisierbar. Der Zählerstand des ersten Zählers Z1 wird mit jedem Impuls des Impulssignals IS1 und der Zählerstand des zweiten Zählers Z2 wird mit jedem Impuls des Impulssignals IS2 hochgezählt. Der erste Zähler Z1 ist an den zweiten Zähler Z2 angeschlossen, um den Zählerstand des zweiten Zählers Z2 zu Beginn eines jeden Auswertintervalls auf den Wert des Zählerstandes des ersten Zählers Z1 am Ende des vorangegangenen Auswertintervalls zu setzen.

[0058] Der erste Zähler Z1 ist an eine erste Auswerteeinrichtung MM1 angeschlossen, welche den Zählerstand des ersten Zählers Z1 am Ende des Auswertintervalls mit einem oberen Schwellenwert und einem unteren Schwellenwert vergleicht. Ist der Zählerstand des ersten Zählers Z1 dabei größer als der obere Schwellenwert, so wird der Zählerstand des ersten Zählers Z1 auf diesen oberen Schwellenwert gesetzt. Ist der Zählerstand des ersten Zählers Z1 kleiner als der untere Schwellenwert, so wird der Zählerstand des ersten Zählers Z1 auf diesen unteren Schwellenwert gesetzt. Vor Beginn eines nachfolgenden Auswertintervalls wird der zweite Zähler Z2 auf den Endstand des ersten Zählers Z1 in dem vorausgegangenen Auswertintervall gesetzt. Ausgehend von dem gesetzten Zählerstand wird der zweite Zähler Z2 mit jedem Impuls des zweiten Impulssignals IS2 während des Auswertintervalls hochgezählt. Der Zählerstand des zweiten Zählers Z2 wird am Ende des Auswertintervalls einer zweiten Auswerteeinheit MM2 zugeführt, die einen Ausgang aufweist, an welchem das Zählerausgangssignal ZS abgreifbar ist. Der zweiten Auswerteeinheit MM2 sind weiterhin die Ausgangssignale eines Komparators K3 und eines Komparators K4 zugeführt, wobei der Komparator K3 das Filtereingangssignal FES mit einem ersten Referenzsignal V_{ref1} und der Komparator K4 das Filtereingangssignal FES mit einem zweiten Referenzsignal V_{ref2} vergleicht. Befindet sich das Filtereingangssignal FES innerhalb eines durch das erste Referenzsignal V_{ref1} und das zweite Referenzsignal V_{ref2} vorgegebenen Bereich, so wird von der zweiten Auswerteeinheit MM2 am Ende eines jeden Auswertintervalls der Zählerstand des zweiten Zählers Z2 direkt als Zählerausgangssignal ZS weitergegeben. Liegt das Filtereingangssignal FES oberhalb des ersten Referenzsignals V_{ref1} , so wird anstelle des Zählerstandes des zweiten Zählers Z2 ein in der Auswerteeinheit MM2 abgespeicherter oberer Zählerstand als Zählerausgangssignal ZS ausgegeben. Und befindet sich das Filtereingangssignal FES unterhalb des zweiten Referenzsignals V_{ref2} , so wird von der zweiten Auswerteeinheit MM2 anstelle des Zählerstandes des zweiten Zählers Z2 ein abgespeicherter unterer Zählerstand als Zählerausgangssignal ZS ausgegeben.

[0059] Das Zählerausgangssignal ZS, das in dem Beispiel gemäß Fig. 5 ein digitaler Wert mit der Wortlängen ist, setzt sich zusammen aus dem Zählerstand des ersten Zählers Z1 am Ende eines Auswertintervalls und dem Wert, um welchen der zweite Zähler Z2 im darauffolgenden Auswertintervall durch die Impulse des zweiten Impulssignals IS2 hochgezählt wird. Der Zählerstand des ersten Zählers Z1, auf welchen der zweite Zähler Z2 zu Beginn eines Auswertintervalls gesetzt wird, repräsentiert dabei einen integrierenden Anteil des Zählerausgangssignals ZS, bzw. des dar-

aus gebildeten Filterausgangssignals FAS. Der Wert, um welchen der zweite Zähler Z2 ausgehend von dem gesetzten Zählerstand innerhalb eines Auswertintervalls hochgezählt wird, repräsentiert den proportionalen Anteil des Zählerausgangssignals ZS, bzw. des daraus gebildeten Filterausgangssignals FAS. Eine Filteranordnung gemäß Fig. 5 wirkt als Proportional-Integral-Regler, wenn er in einem Regelkreis zur Filterung von Sensorsignalen, insbesondere zur Filterung eines Ausgangsspannungssignals in dem Spannungsregelkreis eines Power-Factor-Controllers nach Fig. 4 eingesetzt wird. Die Auswerteeinheit MM1 begrenzt dabei den integrierenden Anteil des Zählerausgangssignals ZS und die Auswerteeinheit MM2 begrenzt das Zählerausgangssignal ZS abhängig von dem Filtereingangssignal FES. Der erste und zweite Zähler sind derart aufeinander abgestimmt, dass der proportionale Anteil des Zählerstandes einer größeren Verstärkung als der integrierende Anteil unterliegt.

[0060] Der erste und zweite Zähler Z1, Z2 und die Auswerteeinheiten MM1, MM2 sind an eine Ablaufsteuerung ABST angeschlossen, welche unter anderem die Auswertintervalle vorgibt, innerhalb derer der erste und zweite Zähler Z1, Z2 abhängig von den Impulssignalen IS1, IS2 hochgezählt werden und am Ende derer der Zählerstand des zweiten Zählers Z2 als Zählerausgangssignal ZS ausgegeben wird. Die Auswertintervalle sind dabei jeweils gleich lang. Die zeitliche Abfolge der einzelnen Auswertintervalle kann dabei derart gewählt sein, daß mit dem Ende eines Auswertintervalls sofort das nächste Auswertintervall beginnt, oder daß ein zeitlicher Abstand zwischen den einzelnen Auswertintervallen besteht. Der zeitliche Abstand zwischen den Auswertintervallen kann dabei fest vorgegeben sein oder die einzelnen Auswertintervalle können jeweils durch ein Synchronisierungssignal gestartet werden.

[0061] Fig. 6 zeigt den typischen Signalverlauf eines Filtereingangssignals in einem Spannungsregelkreis eines Power-Factor-Controllers. Das Filtereingangssignal FES resultiert aus der Differenz des Referenzsignals V_{soll} und des Ausgangsspannungssignals V_{s2} . Dem Ausgangsspannungssignal V_{s2} ist bei Power-Factor-Controllern ein Brummsignal überlagert, welches periodisch mit der doppelten Frequenz der sinusförmigen Eingangsspannung U_{in} bzw. mit der Frequenz der sinusbetragförmigen Spannung $U_{in'}$ ist. Die Dauer der Auswertintervalle T_a ist vorzugsweise kürzer als die Periodendauer des Brummsignals gewählt. Die Auswertintervalle T_a beginnen vorzugsweise abhängig von dem zeitlichen Verlauf des Brummsignals bzw. dem zeitlichen Verlauf des sinusbetragförmigen Eingangssignals $U_{in'}$. Zur Filterung eines Signals gemäß Fig. 6 ist es vorteilhaft, wenn die Auswertintervalle T_a jeweils dann beginnen, das Eingangssignal $U_{in'}$ ein Minimum aufweist und wenn die Dauer der Auswertintervalle T_a kürzer als die Periodendauer des Eingangssignals $U_{in'}$ bzw. des Brummsignals gewählt ist.

[0062] Für Power-Factor-Controller, welche für sinusförmige Wechselspannungen mit 50 Hz oder 60 Hz eingesetzt werden sollen, beträgt die Dauer der Auswertintervalle vorzugsweise 8 ms. Bei den zugehörigen Periodendauern von 10 ms bzw. 8,3 ms der sinusbetragförmigen Wechselspannungssignale bleibt dann noch eine zeitliche Reserve von 2 ms bzw. 0,3 ms zwischen den einzelnen Auswertintervallen T_a .

[0063] Die Funktionsweise der Filteranordnung gemäß Fig. 5 wird nachfolgend unter Verwendung von Zahlenbeispielen erläutert. Es sei angenommen, daß der erste spannungsgesteuerte Oszillator VCO1 eine Mittenfrequenz von 32 kHz, eine Minimalfrequenz von 28 kHz und eine Maximalfrequenz von 36 kHz aufweist. Es wird weiterhin angenommen, daß der zweite spannungsgesteuerte Oszillator

VCO2 eine Mittenfrequenz von 16 kHz, eine Minimalsfrequenz von 4 kHz und eine Maximalsfrequenz von 28 kHz besitzt. Der erste und zweite Zähler Z1, Z2 sind vorzugsweise 8-Bit-Zähler, die jeweils nach 256 Impulsen wieder den gleichen Zählerstand aufweisen. Der erste Zähler Z1 erhält innerhalb eines Abtastintervalls Ta von 8 ms von dem ersten spannungsgesteuerten Oszillator VCO1 minimal 224 und maximal 288 Impulse. Sein Zählerstand ist somit am Ende eines Auswertintervalls um maximal 32 höher oder um maximal 32 niedriger als vorher. Der erste Zähler Z1 ist als Vorwärtszähler ausgebildet, sein Zählerstand wird nicht zurückgesetzt und er ist damit für den integrierenden Anteil des Filterausgangssignals FAS verantwortlich. Ausgehend von dem Zählerstand des ersten Zählers Z1 am Ende des vorausgegangenen Auswertintervalls Ta zählt der zweite Zähler Z2 zu Beginn eines Auswertintervalls Ta abhängig von der Frequenz des spannungsgesteuerten Oszillators VCO2 um minimal 32 und maximal 224 Impulse weiter. Während der erste Zähler Z1 den Zählerstand des zweiten Zählers Z2 zu Beginn des nächsten Auswertintervalls um maximal 32 erhöhen kann, kann der zweite Zähler Z2 innerhalb eines Abtastintervalls um bis zu 224 hochgezählt werden. Der Wert, um welchen der zweite Zähler Z2 innerhalb eines Abtastintervalls hochgezählt wird, entspricht dem proportionalen Anteil des Filterausgangssignals FAS. Der proportionale Anteil unterliegt bei dem Ausführungsbeispiel daher einer wesentlich größeren Verstärkung als der integrierende Anteil.

[0064] Fig. 7 zeigt ein weiteres Ausführungsbeispiel einer erfindungsgemäßen Filteranordnung. Das Filtereingangssignal FES ist dabei einer Analog-Digital-Wandlereinheit AD zugeführt, an deren Ausgang ein Impulssignal IS anliegt, wobei die Anzahl der pro Zeiteinheit abgegebenen Impulse von der Amplitude des Filtereingangssignals FES abhängig ist. Die AD-Wandlereinheit ist vorzugsweise ein Sigma-Delta-Wandler. Das Impulssignal IS ist einem Zähler Z zugeführt, der ein Zählerausgangssignal ZS für eine Digital-Analog-Wandlereinheit DA bereitstellt, die aus dem Zählerausgangssignal ZS ein analoges, von dem Zählerausgangssignal ZS abhängiges Filterausgangssignal FAS bereitstellt. Das Zählerausgangssignal ZS ist ein digitaler Wert der Wortlängen. Der Zähler Z ist an eine Ablaufsteuerung ABST angeschlossen, welche unter anderem den Beginn und die Dauer der Auswertintervalle vorgibt, wobei der Ablaufsteuerung ABST ein Synchronsignal SYNC zugeführt ist, welches den Beginn der Auswertintervalle vorgibt. Der AD-Wandlereinheit AD, dem Zähler Z und der Ablaufsteuerung ABST ist ein Taktsignal CLK von einem Taktgenerator TG zugeführt. An den Zähler Z ist weiterhin ein Register REG zur Speicherung eines Zählerstandes angeschlossen, wobei das Register REG an eine Auswerteeinheit MM3 zur Auswertung eines abgespeicherten Registerwertes angeschlossen ist.

[0065] Die Funktionsweise der Filteranordnung gemäß Fig. 7 wird nachfolgend anhand des Diagramms in Fig. 8 erläutert. Das Auswertintervall Ta beginnt mit einem Impuls des Synchronsignals SYNC an die Ablaufsteuerung ABST. Innerhalb eines ersten Zeitintervalls T1 zu Beginn des Auswertintervalls Ta wird der Zähler Z durch das Taktsignal CLK durch eine vorgegebene Anzahl von Impulsen hochgezählt. Anschließend wird der Zählerstand des Zählers Z innerhalb eines zweiten Zeitintervalls T2 mit jedem Impuls des Impulssignals IS um 1 erhöht. Am Ende des zweiten Zeitintervalls T2 wird der momentane Zählerstand des Zählers Z in dem Register REG abgespeichert. Der abgespeicherte Registerwert wird durch die Auswerteeinheit MM3 mit einem unteren Schwellenwert und einem oberen Schwellenwert verglichen. Ist der Registerwert kleiner als

der untere Schwellenwert, so wird der untere Schwellenwert in das Register geschrieben und ist der Registerwert größer als der obere Schwellenwert, so wird der obere Schwellenwert in das Register geschrieben. In einem dritten Zeitintervall T3, welches sich an das zweite Zeitintervall T2 anschließt, wird der Zähler Z weiter durch die Impulse des Impulssignals IS bis zum Ende des Auswertintervalls Ta hochgezählt. Der Zählerstand des Zählers Z wird zu Beginn des folgenden Auswertintervalls auf den in dem Register abgespeicherten Wert gesetzt.

[0066] Zum besseren Verständnis wird die Funktionsweise noch anhand von Zahlenbeispielen erläutert. Es wird angenommen, daß der Zähler Z ein 8-Bit-Zähler ist, welcher damit 256 unterschiedliche Zählerstände annehmen kann. Während des ersten Zeitintervalls T1 wird der Zählerstand des ersten Zählers Z um genau 240 erhöht. Das zweite Zeitintervall T2 und die Analog-Digital-Wandlereinheit sind derart aufeinander abgestimmt, daß die AD-Wandlereinheit innerhalb des zweiten Zeitintervalls T2 zwischen 0 und 32 Impulsen abgeben kann. Am Ende des zweiten Zeitintervalls T2 hat der Zähler Z damit zwischen 240 und 272 Impulsen erhalten. Sein Zählerstand liegt damit um maximal 16 unter dem Zählerstand zu Beginn oder um maximal 16 über dem Zählerstand zu Beginn. Gibt die AD-Wandlereinheit innerhalb des zweiten Zeitintervalls T2 16 Impulse ab, so ist der Zählerstand des zweiten Zählers Z, der am Ende des zweiten Zeitintervalls T2 in das Register geschrieben wird, unverändert gegenüber dem Anfangswert. Das Register REG überprüft, ob der Zählerstand mindestens 192 und höchstens 255 beträgt. Liegt der Zählerstand unter 192, so wird der Wert des Registers auf 192 gesetzt und liegt der Wert des Registers oberhalb von 255, so wird der Wert des Registers auf 255 gesetzt. Der Zählerstand zu Beginn des Auswertintervalls beträgt damit zwischen 192 und 255, so daß der Zählerstand zu Beginn des zweiten Zeitintervalls T2 zwischen 192 und 287 betragen kann, wobei letzteres als 31 dargestellt wird. Nach dem dritten Zeitabschnitt kann der Zählerstand des Zählers Z zwischen 192 und maximal 415 betragen, wobei letzteres als 159 dargestellt wird. Die Werte 160 bis 191 kann der Zähler Z nicht annehmen.

[0067] Vorzugsweise ist in dem Zähler Z eine hier nicht näher dargestellte weitere Auswerteeinheit enthalten, welche den Zählerstand am Ende des Auswertintervalls Ta überprüft. Beträgt der Zählerstand nach dem dritten Zeitabschnitt T3 bzw. am Ende des Auswertintervalls Ta zwischen 192 und 255, so wird ein Zählerstand 0 als Zählerausgangssignal ZS ausgegeben. Beträgt der Zählerstand zwischen 0 und 63, so wird der Zählerstand als Zählerausgangssignal ZS ausgegeben und wenn der Zählerstand zwischen 64 und 159 beträgt, wird eine 63 an die DA-Wandlereinheit DA weitergegeben. Eine Unterscheidung in die drei genannten Bereiche ist anhand der drei höchstwertigen Bits des Zählerstandes möglich.

[0068] Der Zählerstand am Ende des zweiten Zeitintervalls bildet den integrierenden Anteil des Zählerausgangssignals, der zu Beginn des nächsten Auswertintervalls Ta übernommen wird. Die Änderung des Zählerstandes innerhalb des dritten Zeitintervalls T3 bildet den proportionalen Anteil des Zählerausgangssignals ZS bzw. des Filterausgangssignals FAS.

[0069] Wie anhand der Zahlenbeispiele deutlich wird, sind diese so gewählt, daß der proportionale Anteil, der zwischen 0 und 128 beträgt, den integrierenden Anteil, der zwischen 199 und 255 beträgt (dies entspricht negativen Werten zwischen -64 und -1) überkompensieren kann. Die Filteranordnung gemäß Fig. 7, welche als Regler beispielsweise in einem Spannungsregelkreis eines Power-Factor-Controllers eingesetzt werden kann, enthält damit einen Hochlauf-

schutz. Sinkt bei Verwendung einer Filteranordnung gemäß Fig. 7 bei einem Power-Factor-Controller gemäß Fig. 4 das Filtereingangssignal FES infolge eines Lastabwurfs stark ab, so kann der DA-Wandlereinheit spätestens innerhalb des nächsten Auswertintervalls eine 0 zugeführt werden, wodurch das Filterausgangssignal FAS ebenfalls den Wert 0 annimmt, und eine Ansteuerung des Schalters T über den Pulsweitenmodulator unterbleibt.

[0070] Fig. 9 zeigt ein Ausführungsbeispiel einer DA-Wandlereinheit, welche das digitale Zählerausgangssignal ZS in ein analoges Filterausgangssignal FAS umsetzt. Die dargestellte DA-Wandlereinheit ist weiterhin in der Lage, ein dem Zählerausgangssignal ZS entsprechendes analoges Signal mit einem weiteren analogen Signal Vs1 zu multiplizieren. Bei Verwendung einer DA-Wandlereinheit gemäß Fig. 9 in einem Power-Factor-Controller gemäß Fig. 4 können das Zählerausgangssignal ZS und das Eingangsspannungssignal Vs1 direkt der DA-Wandlereinheit zugeführt werden, wodurch auf den Multiplizierer MUL verzichtet werden kann.

[0071] Die dargestellte DA-Wandlereinheit weist eine Reihenschaltung von vier Widerständen R11, R12, R13, R14 auf, welche zwischen einer Klemme zur Zuführung des Eingangssignals Vs1 und eine Klemme für Bezugspotential GND verschaltet sind. Die Widerstände R11, R12, R13, R14 sind vorzugsweise verschieden groß. Mittels einer ersten Schalteranordnung S11, S12 ist jeweils die Spannung über einem der Widerstände R11, R12, R13, R14 abgreifbar, die als erste Spannung Um1 zwischen Klemmen KL1, KL2 anliegt. Die erste Schalteranordnung weist einen ersten Schalter S11 auf, der die erste Klemme KL1 wahlweise mit der Eingangsklemme A11, an welcher das Eingangssignal Vs1 anliegt, mit einem Spannungsabgriff A12 zwischen dem Widerstand R11 und dem Widerstand R12, mit einem Spannungsabgriff A13 zwischen dem Widerstand R12 und dem Widerstand R13 oder mit einem Spannungsabgriff A14 zwischen dem Widerstand R13 und dem Widerstand R14 verbindet. Der zweite Schalter S12 verbindet die zweite Klemme KL2 mit dem Spannungsabgriff A12, dem Spannungsabgriff A13, dem Spannungsabgriff A14 oder dem Spannungsabgriff A15 an Bezugspotential GND. Der erste und zweite Schalter S11, S12 sind miteinander gekoppelt, so daß in einer Schalterstellung 1 die Spannung über dem Widerstand R14, in einer Schalterstellung 2 die Spannung über dem Widerstand R13, in einer Schalterstellung 3 die Spannung über dem Widerstand R12 und in einer Schalterstellung 4 die Spannung über dem Widerstand R11 an den Klemmen KL1, KL2 anliegt.

[0072] Zwischen den Anschlussklemmen KL1, KL2 sind weitere vier Widerstände R21, R22, R23, R24 in Reihe geschaltet. Zwischen den Widerständen R21 und R22 ist ein erster Spannungsabgriff A21, zwischen den Widerständen R22 und R23 ist ein zweiter Spannungsabgriff A22, zwischen den Widerständen R23 und R24 ist ein dritter Spannungsabgriff A23 und an der Klemme KL2 ist ein vierter Spannungsabgriff A24 vorgesehen. Eine zweite Schalteranordnung S2 verbindet eine Ausgangsklemme KL3 wahlweise mit einem der Spannungsabgriffe A21 bis A24. An der Klemme KL3 ist eine zweite Spannung Um2 abgreifbar, die mittels einer nachgeschalteten Verstärkerstufe in das Filterausgangssignal FAS umgesetzt wird.

[0073] Die dargestellte DA-Wandlereinheit ist in der Lage, ein Zählerausgangssignal ZS der Länge 4 Bit in ein analoges Filterausgangssignal FAS umzusetzen. Die Schalteranordnungen S11, S12, S2 werden durch eine Ansteuerung AST angesteuert, welcher das Zählerausgangssignal ZS zugeführt ist. Die Ansteuerung der ersten Schalteranordnung S11, S12 erfolgt dabei nach Maßgabe der zwei

höherwertigen Bits MSB des Zählerausgangssignals ZS und die Ansteuerung der zweiten Schalteranordnung S2 erfolgt nach Maßgabe der niederwertigeren Bits LSB des Zählerausgangssignals ZS. Die Auflösung der DA-Wandlereinheit kann durch entsprechend längere Widerstandsketten mit mehr Spannungsabgriffen und/oder Kaskadierungen weiterer Anordnungen mit Widerstandsketten und Schaltern vergrößert werden.

[0074] Die Werte der Widerstände der DA-Wandlereinheit sind vorzugsweise so gewählt, daß die DA-Wandlereinheit eine quadratische oder exponentielle Übertragungsfunktion besitzt, das heißt, das zweite Spannungssignal Um2 bzw. das Filterausgangssignal FAS steigt bei einem konstanten Eingangssignal Vs1 mit dem Wert des Zählerausgangssignals ZS quadratisch oder exponentiell an. Fig. 10 zeigt beispielhaft einen exponentiellen Verlauf der Übertragungsfunktion einer derartigen DA-Wandlereinheit. Wie ersichtlich ist, nimmt das Filterausgangssignal FAS mit zunehmendem Zählerstand exponentiell zu, wobei als Eingangssignal Vs1 eine konstante Spannung angenommen ist.

[0075] Eine DA-Wandlereinheit mit einem derartigen Übertragungsverhalten wird vorzugsweise bei Filteranordnungen im Spannungsregelkreis eines Power-Factor-Controllers in sogenannten Weitbereichs-Schaltnetzteilen eingesetzt. Derartige Schaltnetzteile sollen annäherungsweise konstante Ausgangsspannungen für Eingangsspannungen mit Effektivwerten zwischen 90 V und 270 V bereitstellen können.

[0076] Die Messanordnung MA2 zur Bereitstellung des Eingangsspannungssignals Vs1 ist bei dem Ausführungsbeispiel gemäß Fig. 4 als einfacher Spannungsteiler aus zwei Widerständen R3, R4 ausgebildet. Bei Power-Factor-Controller, die in der Lage sein sollen, eine annäherungsweise konstante Ausgangsspannung für Eingangsspannungen Uin mit Effektivwerten zwischen 90 V und 270 V zur Verfügung zu stellen, ist es, wie beispielsweise in der US 5,359,276 beschrieben ist, erstrebenswert, den Schwankungsbereich der Eingangsspannung Uin in wenigstens zwei Abschnitte zu unterteilen, wobei das sinusbetragförmige Signal Uin' mit zwei verschiedenen Faktoren multipliziert wird, je nachdem, ob das Eingangsspannungssignal Uin dem ersten oder zweiten Spannungsabschnitt entstammt.

[0077] Fig. 11 zeigt ein Ausführungsbeispiel einer Messanordnung MA2 zur Bereitstellung eines Eingangsspannungssignals Vs1 aus dem Spannungssignal Uin' abhängig vom Spitzenwert des Spannungssignals Uin'.

[0078] Die Messanordnung MA2 weist zwischen der Klemme EK3 und einer Klemme für Bezugspotential GND einen Spannungsteiler auf. Dieser Spannungsteiler besitzt zwei parallel geschaltete Widerstände R8, R9, zu denen ein weiterer Widerstand R7 in Reihe geschaltet ist. In Reihe zu dem Widerstand R8 befindet sich ein Schalter S, über welchen der Widerstand R8 dem Spannungsteiler zugeschaltet werden kann. Das Eingangsspannungssignal Vs1 ist an einem der Widerständen R7, R8, R9 gemeinsamen Knoten abgreifbar. Zum besseren Verständnis ist in Fig. 11 weiterhin die DA-Wandlereinheit dargestellt, welcher das Eingangsspannungssignal Vs1 bei dem Power Factor Controller zugeführt ist.

[0079] Die Messanordnung MA2 weist einen weiteren Spannungsteiler zwischen der Klemme EK3 und Bezugspotential GND auf, der aus einer Reihenschaltung zweier Widerstände R5, R6 besteht. Ein den beiden Widerständen R5, R6 gemeinsamer Knoten ist an den Plus-Eingang eines ersten Komparators K5 und den Minus-Eingang eines zweiten Komparators K6 angeschlossen. Dem Minus-Eingang des ersten Komparators K5 ist ein erstes Referenzsignal Vref2

und dem Plus-Eingang des zweiten Komparators K6 ist ein zweites Referenzsignal Vref3 zugeführt. Ein Ausgang des ersten Komparators K5 ist an den Set-Eingang eines nachgeschalteten RS-Flip-Flops RSF angeschlossen und ein Ausgang des zweiten Komparators K6 ist an den Reset-Eingang des RS-Flip-Flops RSF angeschlossen. Weiterhin ist der Ausgang des zweiten Komparators K6 an den Takteingang eines D-Flip-Flops DF angeschlossen, an dessen Dateneingang D der nichtinvertierende Ausgang Q des RS-Flip-Flops RSF angeschlossen ist. Der Schalter S in Reihe zu dem Widerstand R8 wird über den nicht-invertierenden Ausgang Q des D-Flip-Flop DF angesteuert.

[0080] Das RS-Flip-Flop RSF wird gesetzt, wenn die über dem Widerstand R6 anliegende Spannung den Wert des ersten Referenzsignals Vref2 übersteigt und zurückgesetzt, wenn die über dem Widerstand R6 anliegende Spannung den Wert des zweiten Referenzsignals Vref3 unterschreitet. Das D-Flip-Flop DF, das durch den Ausgang des zweiten Komparators K6 getaktet wird, übernimmt den Wert des RS-Flip-Flops RSF zu einem Zeitpunkt, bevor die Spannung über dem Widerstand R6 unter den Wert des zweiten Referenzsignals Vref3 abgesunken ist. Hat diese Spannung dabei vorher den Wert des ersten Referenzsignals Vref2 überstiegen, so übernimmt das D-Flip-Flop DFF eine 1 von dem RS-Flip-Flop und der Schalter S wird geschlossen. Hat die Spannung über dem Widerstand R6 den Wert des ersten Referenzsignals Vref2 nicht überstiegen, so übernimmt das D-Flip-Flop DFF eine 0 und der Schalter S wird geöffnet. Die zweite Referenzspannung Vref3 ist vorzugsweise derart gewählt, daß sie die Nulldurchgänge des Spannungssignals Uin' bzw. der an dem Widerstand R6 anliegenden, darauf abgeleiteten Spannung erkennt. Bei Eingangsspannungen Uin' mit kleinen Spitzenwerten ist der Schalter S geöffnet und die Eingangsspannung Uin' wird über die Reihenschaltung der Widerstände R7 und R9 zur Bildung des Eingangsspannungssignals Vs1 heruntergeteilt. Ist bei Eingangsspannungen mit großen Spitzenwerten der Schalter S geschlossen, wird die Eingangsspannung Uin' wegen des kleineren Widerstandswertes der parallel geschalteten Widerstände R8, R9 stärker heruntergeteilt.

Bezugszeichenliste

EK1, EK2 Eingangsklemmen des Power-Factor-Controllers
AK1, AK2 Ausgangsklemmen des Power-Factor-Controllers
Uin Eingangsspannung
L Drossel
D1 Diode
T Schalter
MA1 erste Messanordnung
MA2 zweite Messanordnung
R1-R4 Widerstände
C Kondensator
PWM Pulsweitenmodulator
Rf Widerstand
Cf1, Cf2 Kondensatoren
Rs Stromfühlwiderstand
BR Brückengleichrichter
Uout Ausgangsspannung
OP1 Operationsverstärker
Vref Referenzsignal
Vs1 Eingangsspannungssignal
Vs2 Ausgangsspannungssignal
AD AD-Wandler
DA DA-Wandler
ZA Zähleranordnung
FES Filtereingangssignal

FAS Filterausgangssignal
IS Impulssignal
ZS Zählersignal
FA Filteranordnung
K1, K2 Komparatoren
GND Bezugspotential
G1, G2 UND-Glied
OSS Oszillatorsignal
SZS Sägezahnsignal
SG Signalgenerator
V_{soll} Referenzsignal
MUL Multiplizierer
VCO1, VCO2 Spannungsgesteuerter Oszillator
Z1, Z2 Zähler
ZS Zählersignal
ABST Ablaufsteuerung
IS1, IS2 Impulssignale
K3, K4 Komparatoren
Vref1, Vref2 Referenzsignale
MM1, MM2 Begrenzerschaltungen
OV Operationsverstärker
TG Taktgenerator
CLK Takt
Z Zähler
REG Register
SYNC Synchronsignal
Ta Auswertintervall
R11-R14 Widerstände
R21-R24 Widerstände
A12-A15 Spannungsabgriff
A21-A24 Spannungsabgriff
AST Ablaufsteuerung
S11, S12 erster Schalter
S2 zweiter Schalter
KL1, KL2 Klemmen
R5-R9 Widerstände
Vref3, Vref4 Referenzsignale
RSF RS-Flip-Flop
DFF D-Flip-Flop

Patentansprüche

1. Filteranordnung zur Filterung eines analogen Signals, die folgende Merkmale aufweist:
 - eine Analog-Digital-Wandlereinheit (AD) mit einem Eingang, dem ein analoges Filtereingangssignals (FES) zugeführt ist, und einem Ausgang, an dem ein Impulssignal (IS) zur Verfügung steht, das eine Folge von Impulsen aufweist, wobei die Anzahl der Impulse pro Zeiteinheit von dem Betrag des Filtereingangssignals (FES) abhängig ist;
 - eine Zähleranordnung (ZA), der das Impulssignal (IS) zugeführt ist und die wenigstens einen Zähler (Z; Z1, Z2) aufweist;
 - eine Digital-Analog-Wandlereinheit (DA), der jeweils einmal während eines Auswertintervalls (Ta) ein Zählerstand (ZS) des wenigstens einen Zählers (Z; Z1, Z2) zur Bildung eines analogen Filterausgangssignals (FAS) zugeführt ist, wobei die Amplitude des Filterausgangssignals (FAS) von dem Wert des Zählerstandes abhängig ist.
2. Filteranordnung nach Anspruch 1, bei der der wenigstens eine Zähler (Z; Z1) ausschließlich vorwärts oder rückwärts zählt.
3. Filteranordnung nach Anspruch 1 oder 2, bei der der wenigstens eine Zähler (Z, Z1) bei Erreichen eines minimalen oder maximalen Zählerstandes wieder bei einem Anfangswert zu zählen beginnt.

4. Filteranordnung nach einem der vorangehenden Ansprüche, bei dem das Impulssignal (IS) und das Auswerteeintervall derart aufeinander abgestimmt sind, dass der wenigstens eine Zähler (Z; Z1) innerhalb des Auswerteeintervalls (Ta) wenigstens einmal überläuft. 5
5. Filteranordnung nach einem der vorangehenden Ansprüche, bei der die Analog-Digital-Wandlereinheit (AD) wenigstens einen spannungsgesteuerten Oszillator (OSC1, OSC2) aufweist. 10
6. Filteranordnung nach einem der Ansprüche 1 bis 4, bei der die Analog-Digital-Wandlereinheit (AD) ein Sigma-Delta-Wandler ist.
7. Filteranordnung nach einem der Ansprüche 1 bis 4, bei der die Analog-Digital-Wandlereinheit (AD) eine Signalgeneratoranordnung (SG) zur Bereitstellung eines abschnittsweise stetig ansteigenden Referenzsignals (SZS) und einen Taktgenerator (OSC) aufweist, wobei ein Taktsignal (OSS) abhängig von einem Vergleich des Referenzsignals (SZS) und des Filtereingangssignals (FES) am Ausgang der Analog-Digital-Wandlereinheit (AD) anliegt. 15
8. Filteranordnung nach einem der vorangehenden Ansprüche, bei dem der Digital-Analog-Wandlereinheit (DA) ein weiteres Signal (Vs1) zur Multiplikation mit dem Ausgangssignal der Zähleranordnung (ZA) zugeführt ist. 20
9. Filteranordnung nach einem der vorangehenden Ansprüche, bei der die Digital-Analog-Wandlereinheit (DA) folgende Merkmale aufweist: 30
 - eine erste Reihenschaltung mit k Widerständen (R11, R12, R13, R14) und k + 1 Spannungsabgriffen (A11, A12, A13, A14, A15), über der eine von dem weiteren Signal (Vs1) abhängige Spannung anliegt, 35
 - wenigstens eine zweite Reihenschaltung mit einer ersten und zweiten Anschlussklemme (KL1, KL2) und mit m Widerständen (R21, R22, R23, R24) und m Spannungsabgriffen (A21, A22, A23, A24), 40
 - einen ersten Schalter mit einem ersten und zweiten Kontaktpaar (S11, S12) zum Verbinden der ersten und zweiten Anschlussklemmen (KL1, KL2) mit zwei verschiedenen der n + 1 Spannungsabgriffe (A11, A12, A13, A14, A15) der ersten Reihenschaltung, wobei der erste Schalter (S11, S12) nach Maßgabe des Ausgangssignals (ZS) der Zähleranordnung (ZA) angesteuert ist. 45
 - einen zweiten Schalter (S2) zum Verbinden eines der k Spannungsabgriffe (A21, A22, A23, A24) der zweiten Reihenschaltung mit einer Ausgangsklemme der Digital-Analog-Wandlereinheit zur Bereitstellung des Filterausgangssignals (FAS), wobei der zweite Schalter (S2) nach Maßgabe des Ausgangssignals der Zähleranordnung (ZA) angesteuert ist. 50
10. Filteranordnung nach Anspruch 9, bei der die Widerstände (R11, R12, R13, R14; R21, R22, R23, R24) der ersten und/oder zweiten Reihenschaltung jeweils verschieden sind. 60
11. Filteranordnung nach einem der vorangehenden Ansprüche, bei der die Analog-Digital-Wandlereinheit (AD) einen ersten und zweiten spannungsgesteuerten Oszillator (OSC1, OSC2) oder einen ersten und zweiten Sigma-Delta-Wandler aufweist und bei der die Zähleranordnung (ZA) einen ersten und einen zweiten Zähler (Z1, Z2) aufweist, wobei ein Ausgangssignal des ersten spannungsgesteuerten Oszillators (OSC1)

- oder Sigma-Delta-Wandlers dem ersten Zähler (Z1) zugeführt ist, wobei ein Ausgangssignal des zweiten spannungsgesteuerten Oszillators (OSC2) oder Sigma-Delta-Wandlers dem zweiten Zähler (Z2) zugeführt ist und wobei der erste und zweite Zähler derart gekoppelt sind, dass der zweite Zähler (Z2) auf einen Zählerstand des ersten Zählers (Z1) gesetzt werden kann.
12. Verwendung einer Filteranordnung nach einem der vorangehenden Ansprüche in einem Power Factor Controller.
13. Verfahren zur Filterung eines analogen Filtereingangssignals (FES) das folgende Merkmale aufweist:
 - Wandlung des Filtereingangssignals (FES) in wenigstens ein erstes Impulssignal (IS), das eine Folge von Impulsen aufweist, wobei die Anzahl der Impulse pro Zeiteinheit von der Amplitude des Filtereingangssignals (FES) abhängig ist,
 - Ändern des Zählerstandes wenigstens eines Zählers (Z; Z1, Z2) nach Maßgabe von Impulsen des Impulssignals (IS),
 - Ermitteln des Zählerstandes des wenigstens einen Zählers in vorgebbaren Auswerteeintervallen (Ta),
 - Erzeugen eines von dem ermittelten Zählerstand abhängigen analogen Filterausgangssignals (FAS), wobei die Amplitude des Filterausgangssignals (FAS) von dem Zählerstand abhängig ist.
14. Verfahren nach Anspruch 13, bei dem der wenigstens eine Zähler (Z; Z1, Z2) ausschließlich vorwärts oder rückwärts zählt.
15. Verfahren nach Anspruch 13 oder 14, bei dem der wenigstens eine Zähler nach Erreichen eines maximalen oder eines minimalen Zählerstandes wieder bei einem Anfangswert zu zählen beginnt.
16. Verfahren nach einem der vorangehenden Ansprüche, bei dem der Zählerstand mit jedem Impuls des Impulssignals (IS) erhöht wird.
17. Verfahren nach Anspruch 13, bei dem der Zähler innerhalb eines ersten Zeitintervalls (T1) zu Beginn des Auswerteeintervalls (Ta) seinen Zählerstand abhängig von Impulsen eines Taktsignals (CLK) ändert und anschließend innerhalb eines zweiten und dritten Zeitintervalls (T2, T3) einen Zählerstand abhängig von Impulsen des Impulssignals (IS) ändert, wobei der Zählerstand am Ende des zweiten Zeitintervalls (T2) gespeichert wird und wobei der Zähler zu Beginn des nächsten Auswerteeintervalls (Ta) auf den gespeicherte Zählerstand gesetzt wird.
18. Verfahren nach Anspruch 17, bei dem das dritte Zeitintervall (T3) länger als das zweite Zeitintervall (T2) ist.
19. Verfahren nach Anspruch 17 oder 18, bei dem der Zählerstand innerhalb des ersten Zeitintervalls um einen festen Wert erhöht wird.
20. Verfahren nach einem der Ansprüche 17 bis 19, bei dem am Ende des zweiten Zeitintervalls (T2) ein erster unterer Wert (192) oder ein erster oberer Wert (255) abgespeichert wird, wenn der Zählerstand außerhalb eines durch den ersten unteren Wert (192) und den ersten oberen Wert (255) definierten Intervalls liegt.
21. Verfahren nach einem der Ansprüche 17 bis 20, bei dem der Zählerstand des ersten Zählers zur Bildung des Steuersignals (ST) ausgegeben wird, wenn der Zählerstand innerhalb eines durch einen unteren Grenzwert (0) und einen oberen Grenzwert (63) definierten Intervalls liegt.
22. Verfahren nach einem der vorangehenden Ansprüche, bei dem das Filtereingangssignal (FES) in ein er-

stes Impulssignal (IS1) und ein zweites Impulssignal (IS2) gewandelt wird, wobei ein Zählerstand eines ersten Zählers (Z1) abhängig von Impulsen des ersten Impulssignals (IS1) und ein Zählerstand eines zweiten Zählers (Z2) abhängig von Impulsen des zweiten Impulssignals (IS2) geändert wird, wobei der zweite Zähler (Z2) zu Beginn eines Auswertintervalls (T_a) auf den Zählerstand des ersten Zählers (Z1) am Ende des vorherigen Auswertintervalls (T_a) gesetzt wird und bei dem der Zählerstand des zweiten Zählers (Z1) am Ende eines Auswertintervalls zur Bildung des Filterausgangssignals (FAS) herangezogen wird.

23. Verfahren nach Anspruch 22, bei dem der erste Zähler (Z1) ausschließlich vorwärts oder rückwärts zählt und bei Erreichen eines maximalen oder minimalen Zählerstandes wieder bei einem Anfangswert zu zählen beginnt.

24. Verfahren nach Anspruch 22 oder 23, bei dem die Frequenzen des ersten und zweiten Impulssignals (IS1, IS2) bei gleichem Filtereingangssignal (FES) unterschiedlich sind.

25. Verfahren nach einem der vorangehenden Ansprüche, bei dem bei der Erzeugung des Filterausgangssignals (FAS) der Zählerstand mit einem Momentanwert eines weiteren Signals multipliziert wird.

26. Verfahren nach Anspruch 25, bei dem das weitere Signal vor der Multiplikation abhängig von seinem Mittelwert mit einem vorgebbaren Faktor multipliziert wird.

27. Verfahren nach einem der vorangehenden Ansprüche, bei der die Amplitude des Filterausgangssignals (FAS) nicht linear sondern vorzugsweise exponentiell, von dem Zählerstand am Ende des Auswertintervalls abhängig ist.

28. Power Factor Controller, der folgende Merkmale aufweist:

- Eingangsklemmen (EK1, EK2) zum Anlegen einer Eingangsspannung (U_{in}),
- Ausgangsklemmen (AK1, AK2) zum Bereitstellen einer Ausgangsspannung (U_{out})
- wenigstens einen Schalter (T) zur Steuerung der Energieaufnahme einer Drossel (L),
- eine Ansteuerschaltung (PWM) zur Ansteuerung des Schalters,
- einen Rückkopplungszweig zur Rückführung eines von der Ausgangsspannung (U_{out}) abhängigen Signals (V_{s2}) an die Ansteuerschaltung (PWM), wobei der Rückkopplungszweig eine Filteranordnung nach einem der vorangehenden Ansprüche aufweist.

Hierzu 9 Seite(n) Zeichnungen

55

60

65

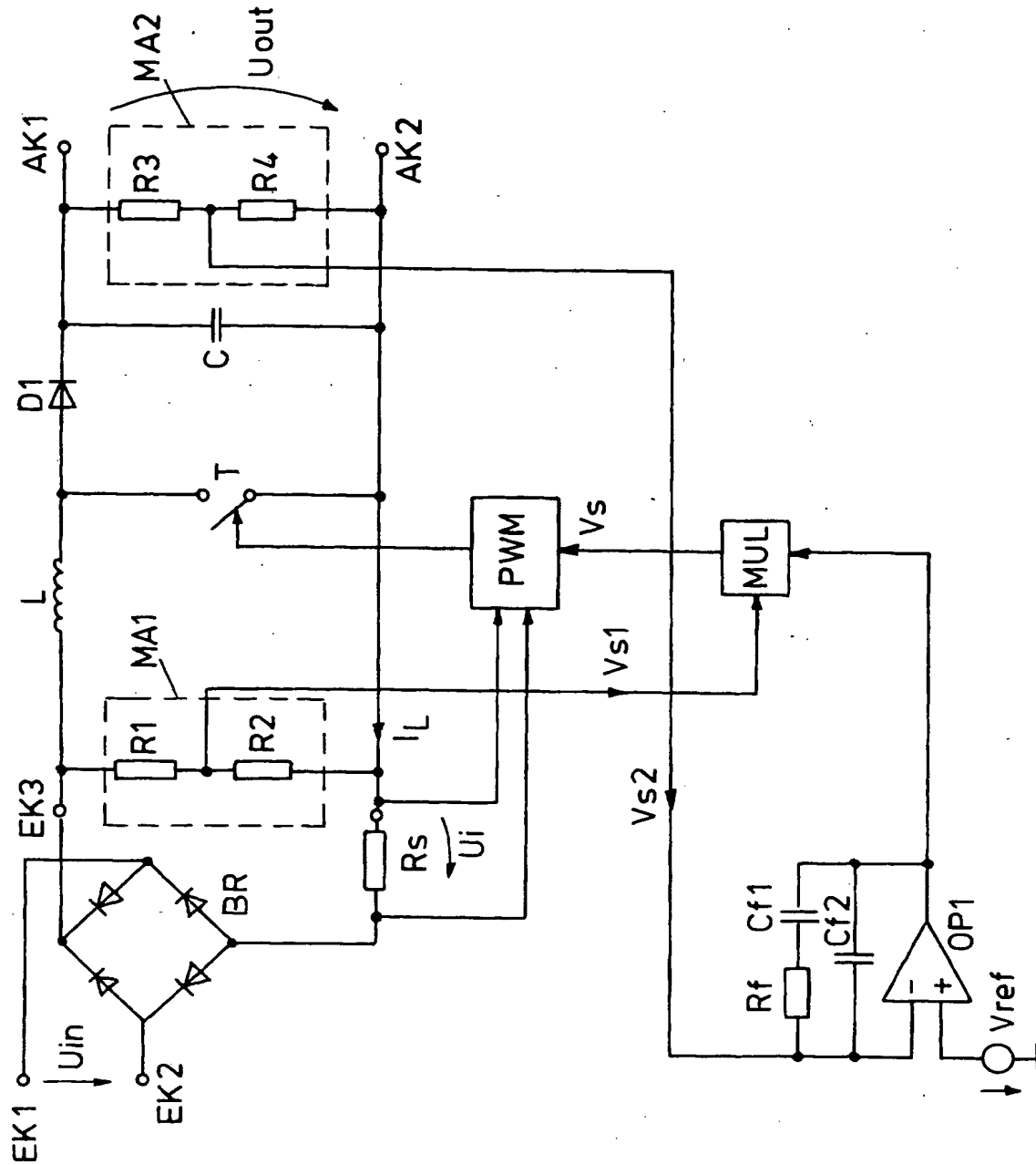


FIG 1
(STAND DER
TECHNIK)

FIG 2

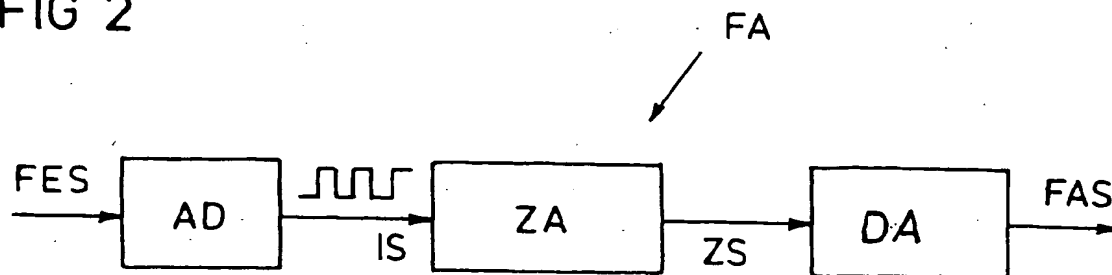


FIG 3

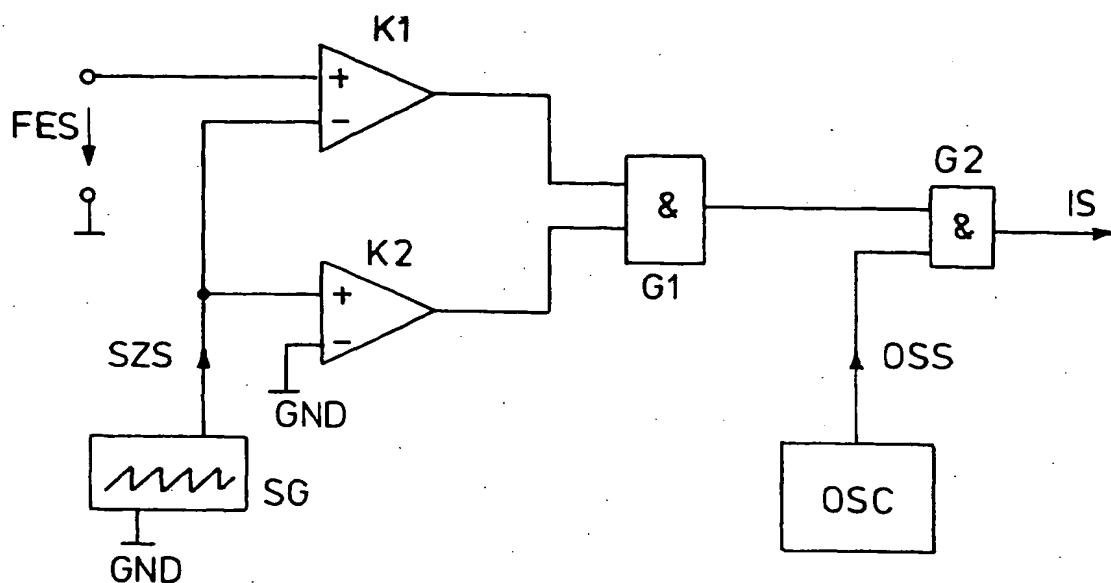


FIG 10

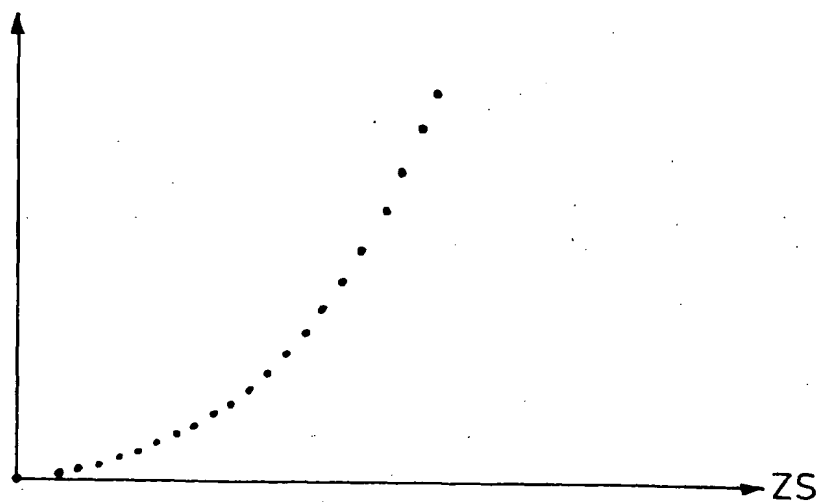
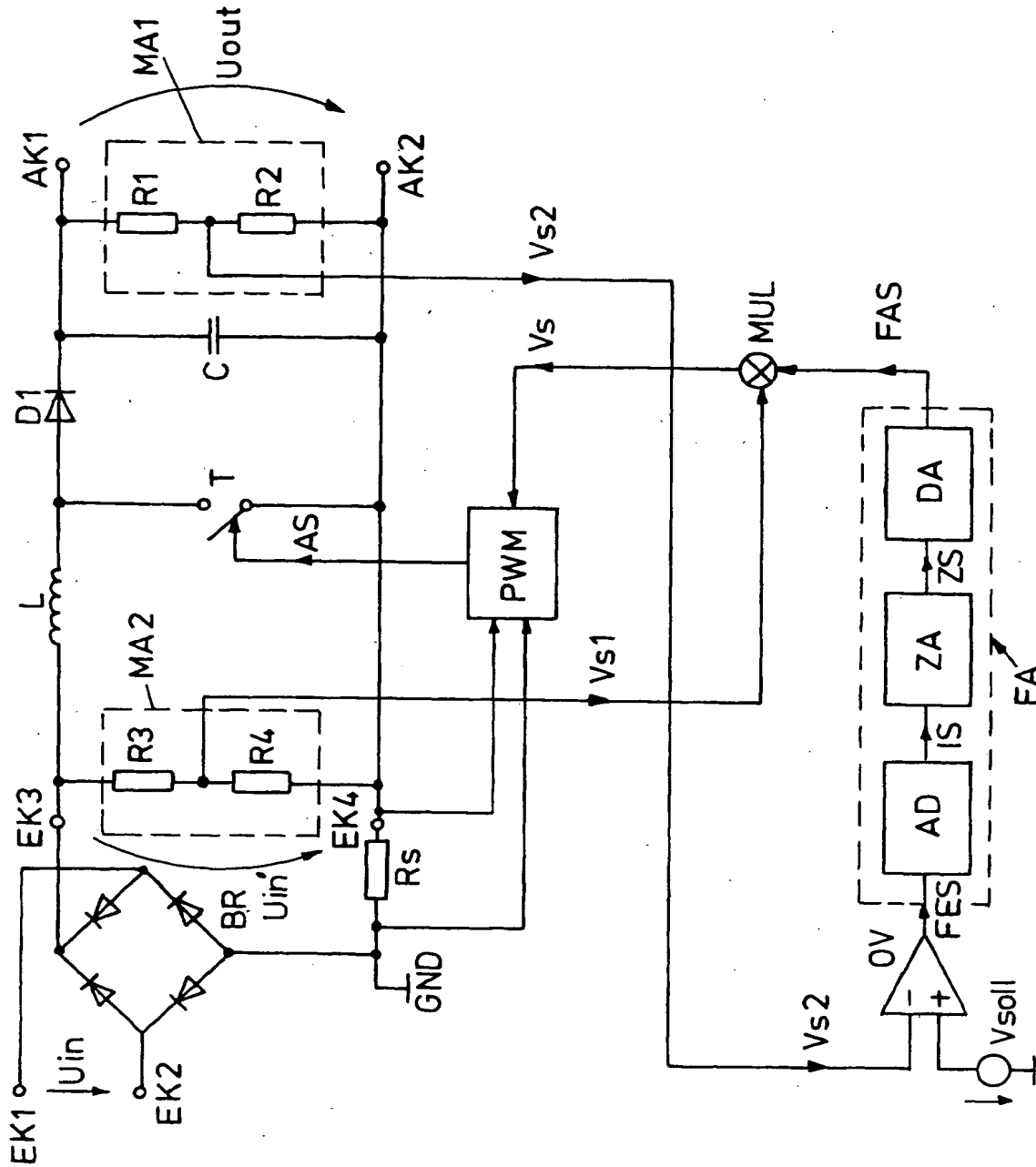


FIG 4



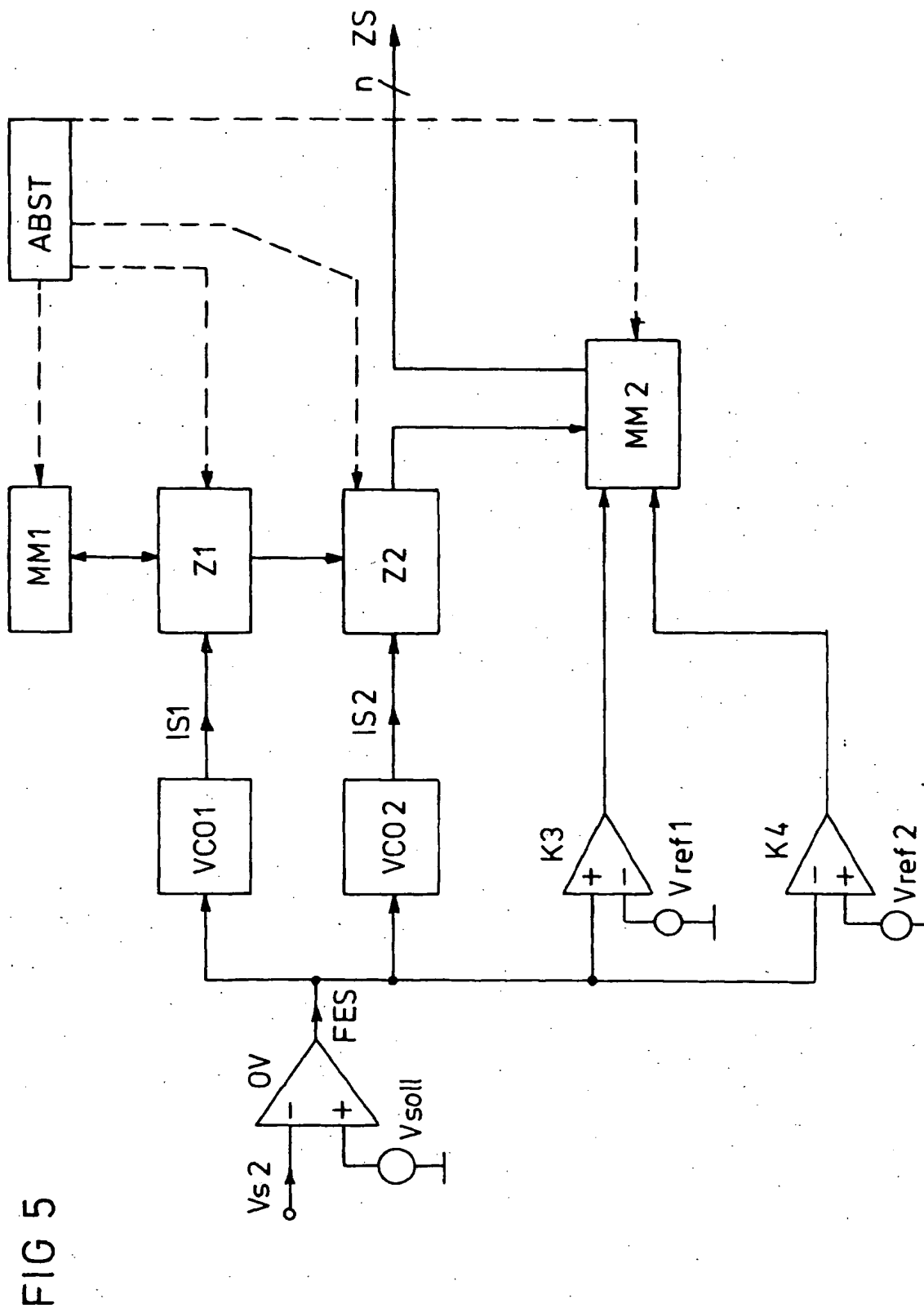


FIG 6a

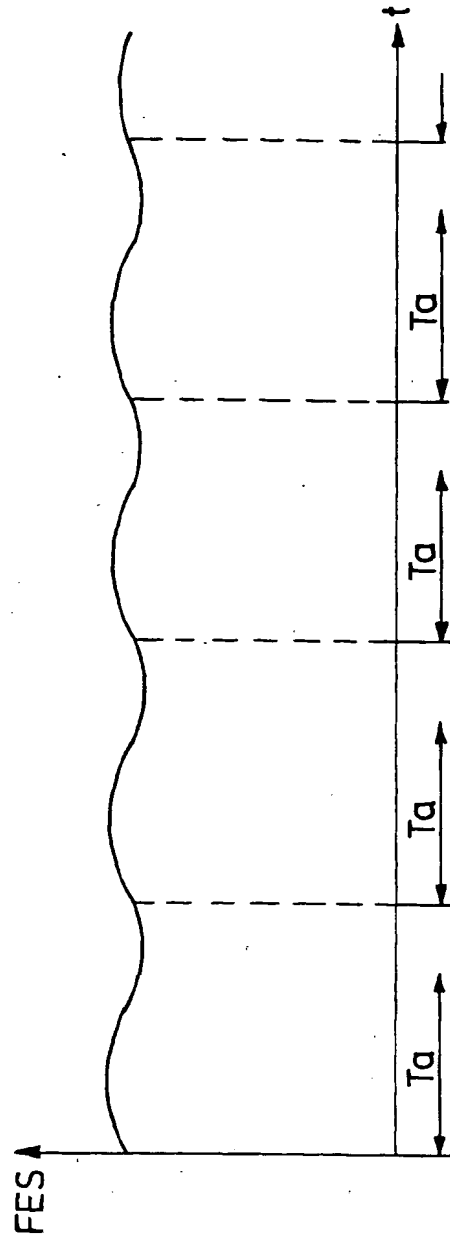


FIG 6b

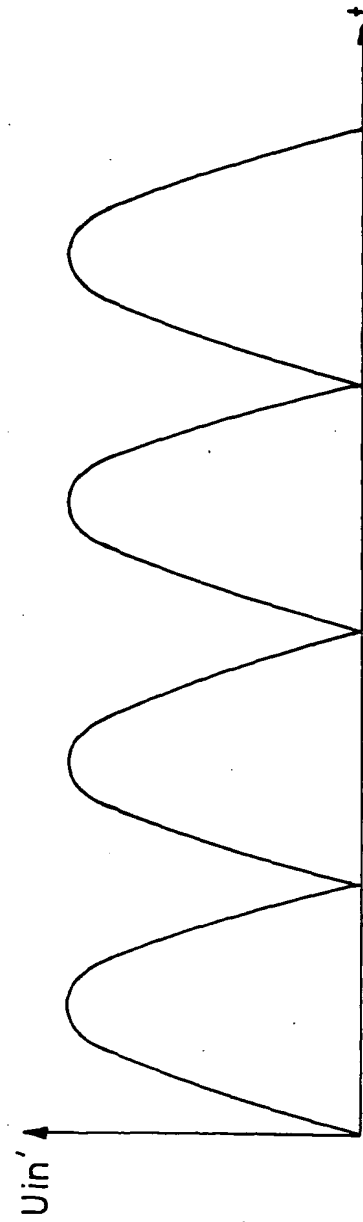


FIG 7

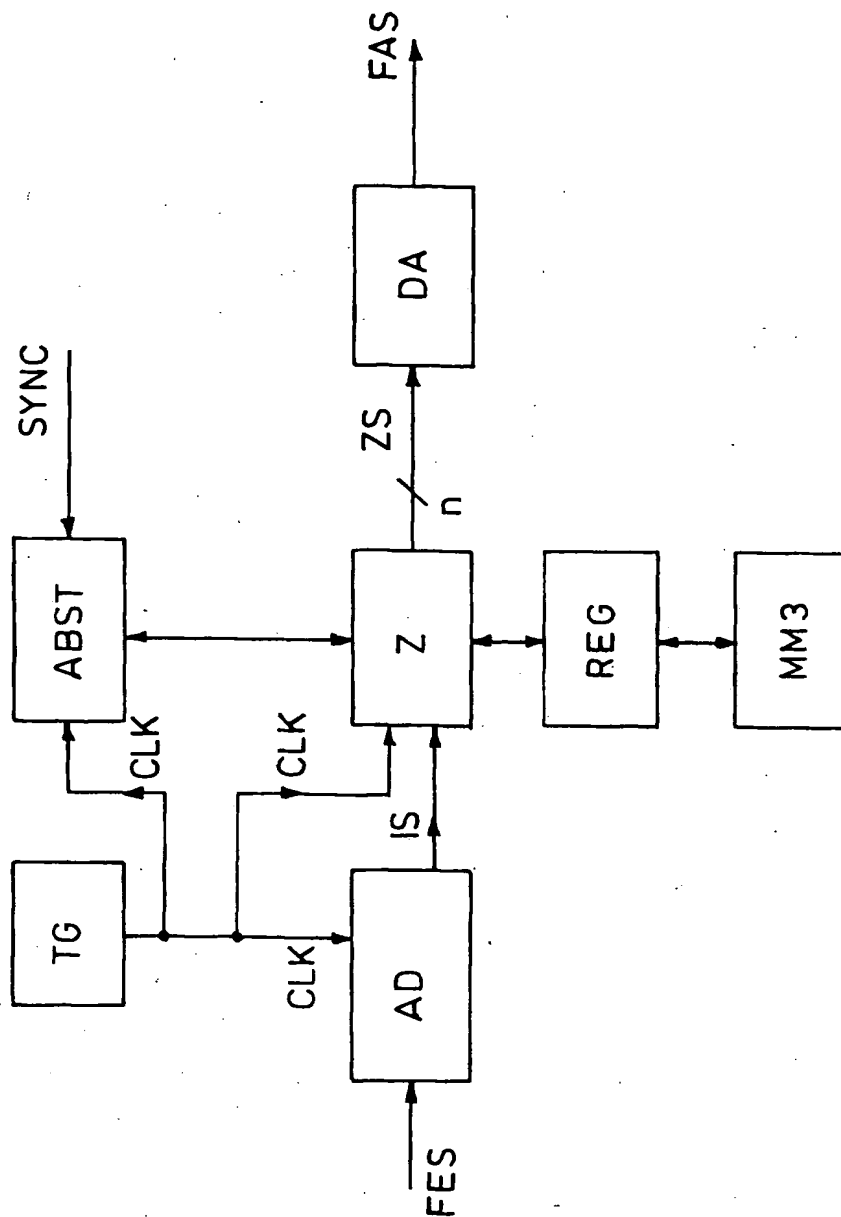


FIG 8

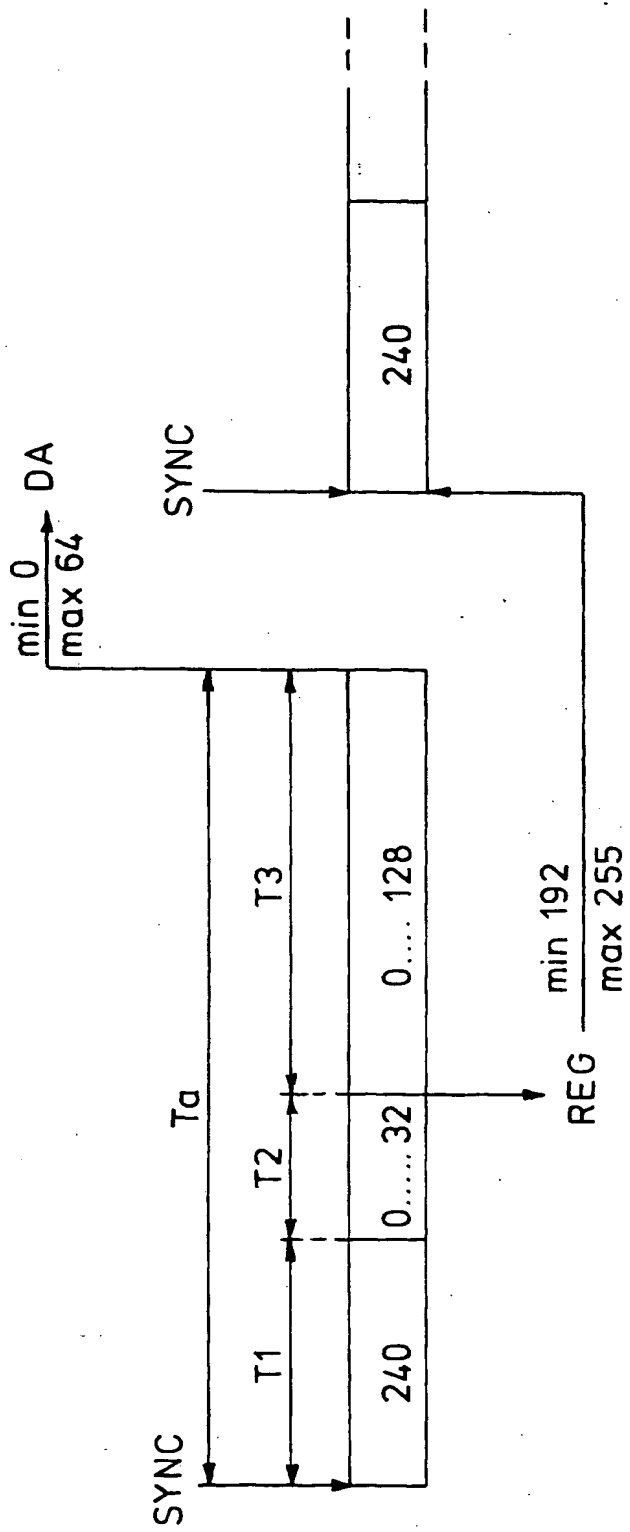


FIG 11

